

[12] 发明专利申请公开说明书

[21] 申请号 98120500.3

[43]公开日 1999年6月9日

[11]公开号 CN 1219040A

[22]申请日 98.10.28 [21]申请号 98120500.3
 [71]申请人 香港大学
 地址 香港薄扶林道香港大学电机与电子工程系
 [72]发明人 胡爱群 吴冬生

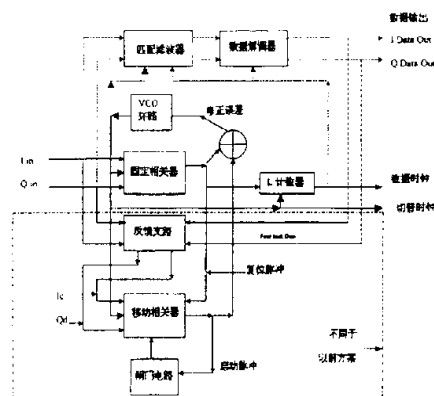
[74]专利代理机构 中原信达知识产权代理有限责任公司
 代理人 寿宁

权利要求书 7 页 说明书 22 页 附图页数 16 页

[54]发明名称 快速修正误差的切普时钟恢复装置

[57]摘要

一种直接序列扩频 BPSK/QPSK 通信接收机的快速修正误差的切普时钟恢复装置,其包括固定相关器、移动相关器、VCO 控制回路、闸门电路、数据反馈支路及 L 计数器等部分,在切普时钟恢复部分除设有固定相关器另加 设移动相关器,并设有反馈支路和闸门电路。产生切普时钟的压控振荡器 VCO 同时受固定相关器和移动相关器的输出误差控制,降低误码率。提高切普时钟恢复跟踪速度和质量,可广泛应用于通讯接收机中,适用于点对点扩频通信,点对多点扩频通信及 CDMA 移动通信。



ISSN 1008-4274

权 利 要 求 书

1、一种直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置，设有固定相关器、VCO 控制回路及 L 计数器，其特征在于其包括固定相关器、移动相关器、VCO 控制回路、闸门电路、数据反馈支路及 L 计数器等部分，其中：

该固定相关器及移动相关器，是两个对称结构的 X 相关器，固定相关器捕获输入信号中的 PN 序列，实现切普时钟的粗同步；该 X 相关器，为对称结构，消除了载波相位偏差对切普同步的影响；其切普时钟的修正误差不仅来自固定相关器，而且更多的修正来自移动相关器，能够快速修正、恢复和跟踪；

该 VCO 控制回路，为压控振荡器环路；

该闸门电路，受移动相关器的峰值输出控制，输出高速脉冲流驱动移动相关器动作；

该数据反馈支路，消除接收信号中的调制信息对移动相关器输出的影响；

该 L 计数器，为 L 分频，产生数据解调所需的时钟；

A/D 转换器后下变频后的数字基带扩频信号 I 和 Q 送入固定相关器，并送入反馈支路，反馈支路的输出 I_d 和 Q_d 送入移动相关器；

固定相关器和移动相关器产生的误差相加后作为 VCO 环路的输入，VCO 环路的输出为切普时钟，供给固定相关器和移动相关器，同时供给 L 计数器产生数据时钟输出，L 计数器的复位受固定相关器峰值脉冲控制；

移动相关器的峰值脉冲送闸门电路，闸门电路的输出供给移动相关器；

上述结构相组合，构成本发明直接序列扩频通信接收机的切普时钟恢复装置。

2、根据权利要求 1 所述的快速修正误差的切普时钟恢复装置，其特征在于切普时钟恢复装置的信号工作流程及电路连接关系如下：下变频后的信号 I_B 和 Q_B 经 A/D 变换后成为数字信号 I，即 $I[0:7]$ 和 Q（即 $Q[0:7]$ ）送入固定相关器的信号输入端；该本地序列发生器，其输出 PNI 和 PNQ 连接至本地序列 PNI 和 PNQ 输出端；该 VCO 环路，其输出 $MAINCLK$ 连接至时钟输入端；输出 $Xoutf$ 是固定相关输出，其连接到 VCO 环路 $1XCOROUT[00:15]$ 输入端，作为 VCO 的误差源之一，同时该信号连到 L 计数器的输入端，作为该 L 计数器清零之用；该信号的最高有效位还和移动相关器的 $RESTART$ 端相连，作为移动相关器中的本地序列定位之用；该固定相关器其辅助电路中， $MAINCLK$ 输入时钟经 L，此处 $L = 192$ ，分频产生的 $IQDMP$ 输出作为切普时钟输出；

数字信号 $I[0:7]$ 和 $Q[0:7]$ 经固定相关器的 FIFO 的延迟线后，得到一符延迟后的 $IDD[0:7]$ 和 $QDD[0:7]$ 信号，连接到 $DELAYI[0:7]$ 和 $DELAYQ[0:7]$ 反馈支路的数据输入端，在这里与判决输出后的数据比特 $FEEDBACKIHE$ 和

FEEDBACKQ 路相乘，去除接收信号中的调制信息，其输出 ID[0:7] 和 QD[0:7] 送入移动相关器；该移动相关器的本地移动序列发生器，其输出 PNIM 和 PNQM 作为移动相关器的本地移动序列的输入 PNIM 和 PNQM；该移动相关器的输出 XOUTM 连到 VCO 环路的 2XCOROUT[00:15] 输入端，作为 VCO 的另一误差源；该信号的最高有效位同时连接到闸门电路的输入端，作为其启动脉冲；该闸门电路的输出信号为高速脉冲串 HIGHSPEEDPULSES，其连接到移动序列发生器的输入端；

移动相关器的输出 2XCOROUT[08:15] 和固定相关器的输出 2XCOROUT[08:15] 在误差提取电路中形成 VCO 所需的误差信号，VCO 的输出 MAINCLK 经 L 分频后产生 IQDMP，该 IQDMP 时钟即为经快速修正过的切普时钟。

3、根据权利要求 1 所述的快速修正误差的切普时钟恢复装置，其特征在于所述的固定相关器其将两个输入信号与本地固定序列分别相关，再将两个相关结果平方后相加，相加的结果作为固定相关器的输出，消除下变频载波相位误差对相关值的影响；

该固定相关器，其包括两个信号移位寄存器、一个或两个 PN 序列存储器、两个相关运算器、两个平方器、一个加法器以及一个门限比较器；

输入信号 I 和 Q 分别串行送入移位寄存器，移位寄存器的每一单元输出与本地 PN 序列的每一位进行相关运算，相关运算的输出送入平方器，二个平方器的输出相加，和值送门限比较器，此和值超过设定的门限就输出，该输出即为固定相关器的输出 Xoutf。

4、根据权利要求 1 所述的快速修正误差的切普时钟恢复装置，其特征在于所述的移动相关器将两个输入信号与本地移动序列分别相关，再将两个相关结果平方后相加，相加的结果作为移动相关器的输出，消除下变频载波相位误差对相关值的影响；

该移动相关器，包括两个移位寄存器、一个或两个可移动的 PN 序列存储器、两个相关运算器、两个平方器、一个加法器以及一个门限比较器；

输入信号 Id 和 Qd 分别串行送入移位寄存器，移位寄存器的每一单元输出与本地可移动的 PN 序列的每一位进行相关运算，即对应相乘，并将所有的相乘结果加起来，相关运算的输出送入平方器，两个平方器的输出相加，和值送门限比较器，如果此和值超过设定的门限就输出，该输出即为移动相关器的输出 Xoutm；

移动相关器中的本地 PN 序列存储器的复位受固定相关器峰值脉冲的控制。

5、根据权利要求 3 或 4 所述的快速修正误差的切普时钟恢复装置，其特征在于所述的固定相关器其输入信号的移位寄存器是 8 比特并行的移位寄存器，每输入一个信号采样点，相关器将移位寄存器内容与本地 PN 序列进行一次长为 L 的相关运算，即将移位寄存器每一单元内容与本地 PN 序列的每个比特相乘并累加，输出一个相关值；固定相关器中的每个相关器包含 L

个乘法器和L个累加器，每输入一个采样点，累加器取一次值并清零；

在BPSK扩频通信方式，固定相关器的本地PN序列只有一个，而在QPSK扩频通信方式，与发送端相一致，可以有不同的两个本地PN序列。两路输入分别与两个本地PN序列相关。

6、根据权利要求1、3或5所述的快速修正误差的切普时钟恢复装置，其特征在于所述的固定相关器其电路连接结构如下：

两个移位寄存器分别由U2-U7和U22-U27FIFO（74F433）所组成；两个相关器由单片累加器STEL-2410（U9）及U11-U14组成的辅助电路构成；两个平方器、一个加法器和一个门限比较器由单片TMC2249A（U8）承担；

数字信号I[0:7]经U17和U18(74HC157)选择器后，进入8位并行移位寄存器，即U3→U2→U4，U6→U5→U7，数字信号Q[0:7]经U28和U29(74HC157)选择器后，进入8位并行移位寄存器，即U23→U22→U24，U26→U25→U27；本地序列PNI和PNQ送入相关器U9，在主时钟MAINCLK作用下，输入的数字信号和本地序列在相关器U9中相关，相关结果IOUT[0:7]和QOUT[0:7]送入平方加法器U8，其输出1XCOROUT[00:15]即为固定相关器的输出Xoutf；

每输入一次采样点I[0:7]和Q[0:7]，U17-U18和U28-U29选择器动作一次，将采样点置入并行信号移位寄存器中，然后进行一次相关运算，即进行192次相乘相加运算；每进行一次相乘相加，信号移位寄存器循环移位一次；

U11-U14完成192计数功能，保证使输入信号与本地序列进行192次相乘相加后，输出一次结果。

7、根据权利要求6所述的快速修正误差的切普时钟恢复装置，其特征在于所述的固定相关器其具体电路信号连接结构如下：

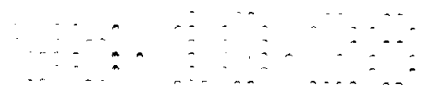
I[0:7]连接到U17、U18的2、5、11、14脚，Q[0:7]连接到U28、U29的2、5、11、14脚；MAINCLK连接到U11、U12的2脚，U3、U6、U23、U26的2脚，U9的14脚；

PNI、PNQ分别连接到U9的17、55脚；QDMP是U14A的输出，连接到U11、U12的1脚，U17、U18、U28、U29的1脚，U9的31、40脚，U8的1脚，最后输出；

U4、U7的18、19、20、21脚组成8位数据总线，U24、U27的18、19、20、21脚组成8位数据总线，分别连接到U9的IDD[0:7]（1、3、4、5、6、7、8、9脚）和QDD[0:7]（60、61、62、64、65、66、68脚）；

U9的IOUT[0:7]（27、26、25、24、23、22、20、18脚），分别连接到U8的B[4:11]（38、39、40、41、43、44、45、47脚）和A[4:11]（55、54、53、52、51、50、49、48脚）；

U9的QOUT[0:7]（44、45、46、47、48、49、50、51脚），分别



连接到 U8 的 D[4:11] (111、110、109、108、107、105、104、103 脚) 和 C[4:11] (94、95、96、97、98、99、100、101 脚);

数字门限电平 THRES[00:15] 连接于 U8 的 CAS[0:15] (82、81、80、79、78、77、76、75、74、73、71、70、69、68、67、66 脚);

U8 的 S[8:15] (15、14、13、11、10、9、7、6 脚), 接输出 1XCOROUT[8:15]。

8、根据权利要求 1、3 或 5 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的移动相关器其电路连接结构如下:

两个移位寄存器分别由 U2-U7 和 U22-U27FIFO (74F433) 组成; 两个相关器由单片累加器 STEL-2410 (U9) 以及 U11-U14 组成的辅助电路构成; PNI 序列和 PNQ 序列即为 PNIM 和 PNQM 序列; 两个平方器、一个加法器及一个门限比较器由单片 TMC2249A (U8) 承担;

数字信号 ID[0:7] 经 U17 和 U18 (74HC157) 选择器后, 进入 8 位并行移位寄存器即 U3 → U2 → U4, U6 → U5 → U7, 数字信号 QD[0:7] 经 U28 和 U29 (74HC157) 选择器后, 进入 8 位并行移位寄存器即 U23 → U22 → U24, U26 → U25 → U27; 本地序列 PNIM 和 PNQM 送入相关器 U9, 在主时钟 MAINCLK 的作用下, 输入的数字信号和本地序列在相关器 U9 中相关, 相关结果 IOUT[0:7] 和 QOUT[0:7] 送入平方加法器 U8, 其输出 2XCOROUT[00:15] 即为固定相关器的输出 Xoutm;

每输入一次采样点 ID[0:7] 和 QD[0:7], U17-U18 和 U28-U29 选择器动作一次, 将采样点置入并行信号移位寄存器中, 然后进行一次相关运算, 即进行 192 次相乘相加运算; 每进行一次相乘相加, 信号移位寄存器循环移位一次;

U11-U14 完成 192 计数功能, 保证使输入信号与本地序列进行 192 次相乘相加后, 输出一次结果;

前述的移动相关器与固定相关器的结构基本相同, 不同之处在于: 固定相关器的本地 PN 序列 (长度=64) 相对于输入信号是固定不动的, 即 PNI 和 PNQ 的移位时钟为 PNCLK; 移动相关器的本地序列相对于输入信号是突发性快速移动的, 即 PNIM 和 PNQM 的移位时钟为 PNCLKM。

9、根据权利要求 8 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的移动相关器其具体电路连接结构如下:

移动相关器中的 PN 码产生电路、移动相关器中的信号连接关系与固定相关器中的 PN 码产生电路、固定相关器中的信号连接电路结构关系基本相同, 其不同点如下: ID[0:7] 代 I[0:7], QD[0:7] 代 Q[0:7]; PNIM、PNQM 分别代 PNI、PNQ; U8 的 S[8:15] (15、14、13、11、10、9、7、6 脚), 接输出 2-XCOROUT[8:15]。

10、根据权利要求 1 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的 VCO 环路其误差信号来自固定相关器产生的误差和移动相关器产

生的误差之和;

该 VCO 环路, 其包括有一个加法器、一个三级移位寄存器、一个减法器、一个 D / A 转换器、一个低通滤波器及一个压控振荡器 VCO ;

固定相关器的输出信号 Xoutf 和移动相关器的输出信号 Xoutm 相加后送入三个移位寄存器, 将左、右两寄存器的输出相减, 再送入低通滤波器, 其输出作为 VCO 的电压控制输入, 该 VCO 的输出即为恢复的切普时钟; 该时钟供固定相关器和移位相关器中的移位寄存器的移位时钟, 还供给 VCO 环路中的三级移位寄存器的移位时钟, 以及提供接收机中解扩匹配滤波器和数据解调所需的时钟。

11、根据权利要求 10 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的 VCO 环路其三级移位寄存器是 8 位并行移位寄存器, 左右两寄存器单元的值相减作为 VCO 的控制误差, 当后接的低通滤波器为模拟滤波器时, 需在减法器 and 滤波器间插入数模转换器(即 D / A), 当为全数字实现时, 无需 D / A 转换器。

12、根据权利要求 1 或 11 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的 VCO 环路其电路连接结构如下:

1XCOROUT[08:15] (即 Xoutf) 及其反向信号, 在 T1 (左) 和 T3 (右) 时刻锁入 U11、U12 的锁存器中, 并在 U9、U10 构成的加法器中相加, 1DA[0:7] 实质上是固定相关器的输出在左、右两时刻的误差; 同样地, 2XCOROUT[08:15] (即 Xoutm) 及其反向信号, 在 T1 (左) 和 T3 (右) 时刻锁入 U16、U17 的锁存器中, 并在 U14、U15 构成的加法器中相加, 2DA[0:7] 实质上是移动相关器的输出在左右两时刻的误差; 这两个误差经 U1 和 U2 (DAC08) 转换为模拟信号, 并在 U3 和 U4A 中相加, 经 R13 和 C8 组成的低通滤波器后送 VCO U5 (MC1648); 上述电路实现了 Xoutf 和 Xoutm 相加, 移入左、中、右寄存器, 并将左、右两寄存器值相减, 再 D/A 转换, 低通滤波, 直至 VCO 控制等 VCO 环路全过程;

T1、T2、T3 三个时刻的脉冲, 其由 U6 (74161)、U7 (7404) 及 U8 (7432) 逻辑电路构成, 其输入信号是移动相关器的峰值信号 2XCOROUT15 和切普时钟 IQDMP, 即当移动相关器出现峰值时, 记下第一、第二、第三个超过阈值的脉冲位置。

13、根据权利要求 12 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的 VCO 环路其具体电路连接结构如下:

T1 接到 U11、U16 的 11 脚, T3 接到 U12、U17 的 11 脚;

1XCOROUT[08:15] 连接到 U11 的 D[0:7] (2、3、4、5、6、7、8、9 脚)、U7、U13 的输入端;

2XCOROUT[08:15] 连接到 U16 的 D[0:7] (2、3、4、5、6、7、8、9 脚)、U18、U13 的输入端;

U9 和 U10 的输出 S[1:4] (4、1、13、10 脚) 组成 8 位数据总线, U14 和 U15 的输出 S[1:4] 组成 8 位数据总线, 分别连接到 U1、U2 的

B[1:8] (9、10、11、12、13、14、15、16脚);

U5的OUT(3脚)连接到输出MAINCLK。

14、根据权利要求1所述的快速修正误差的切普时钟恢复装置，其特征在于所述的闸门电路其在启动脉冲控制下产生一串高速脉冲，该闸门电路包括一个闸门、一个计数器、一个振荡器(OSC)、一个脉冲展宽器以及一个触发器;

该闸门电路在启动脉冲控制下，输出M个脉冲串，M是设定的计数器的最大计数值;启动脉冲打开闸门，允许振荡器OSC的时钟通过闸门，同时计数器对通过闸门的时钟周期数进行计数，当计数器计满M时关闭闸门，直到下一个启动脉冲的到来才再一次打开闸门。

15、根据权利要求14所述的快速修正误差的切普时钟恢复装置，其特征在于所述的闸门电路其中振荡器OSC的振荡频率高于切普时钟频率，可使振荡器的振荡频率等于切普时钟频率的两倍;其启动脉冲为移动相关器的峰值脉冲，该脉冲经展宽后为高电平送给一“与门”，OSC的输出也送入该“与门”，“与门”的输出送M计数器，计满后进位信号触发一触发器由高电平跳转为低电平，该电平送入“与门”封闭其输出，即闸门电路输出M个高速脉冲就停止，直到下一次移动相关器的峰值脉冲的到来;上述触发器的输出状态在移动相关器的峰值时刻被置高;

计数器的最大计数值M的设置决定了切普时钟误差的修正速度，M越大修正越慢，反之，M越小修正越快;M最小不能小于每切普的采样点数，本装置每切普采样3点，M最大不能大于固定相关器和移动相关器的相关长度L;当M等于L时，本切普时钟误差的修正速度等于以前装置的速度，解调性能没有改善。

16、根据权利要求15所述的快速修正误差的切普时钟恢复装置，其特征在于所述的闸门电路的电路连接结构关系为:

电路设计条件:

直接序列扩频，扩频增益=64;

QPSK调制;

每切普(Chip)采样3点，

相关长度L=每切普采样点数乘以扩频增益=192;

PN序列为Gold序列，长度=64;

切普时钟修正速度参数 $M=12=3*4$ ，即每4个切普修正一次。

17、根据权利要求1所述的快速修正误差的切普时钟恢复装置，其特征在于所述的反馈支路其由两个一符号延迟器和两个乘法器组成，反馈的数据与一符号延迟的信号相乘后作为该反馈支路的输出，在BPSK方式下DI和DQ相连，在QPSK方式下DI和DQ分开。

18、根据权利要求1或17所述的快速修正误差的切普时钟恢复装置，其特征在于所述的闸门电路其具体电路连接结构如下:

该闸门电路，其包括:振荡源U4(OSCB)、闸门U3A(74HC10)及M(M=16)

计数器 U5 (74161); 移动相关器的峰值输出即符号比特 2XCOR - OUT15 经 U6A (74123) 脉冲展宽后作为闸门的控制信号, M 计数器 U5 (74161) 的进位送入 U10A (D 触发器) 产生封闭闸门的控制信号; 闸门的输出高速脉冲 HIGHSPEEDPULSES 送给移动相关器。闸门电路的 U3A (74HC10) 的时钟来自一个固定的振荡器 U4 (OSCB), OSCB 的频率高于输入信号的采样速率, 这里取 2 倍。

19、根据权利要求 1 或 17 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的反馈支路其具体电路连接结构如下:

两个乘法器由 U1A-U1D、U2A-U2D、U3A-U3D、U4A-U4D 的异或门构成;

本地序列为二进制序列, 输入的数字信号与二进制序列的乘法运算可用异或运算代替, 接收机中的下变频后的数字信号 I[0:7] 和 Q[0:7] 经一数据符号延迟后的信号 DELAYI[0:7] 即 IDD[0:7] 和 DELAYQ[0:7] 即 QDD[0:7] 分别与反馈数据比特 FEEDBACKI 和 FEEDBACKQ 按位异或, 输出为 ID[0:7] 和 QD[0:7], 作为移动相关器的信号输入, 这里的 FEEDBACKI (I Data Out) 和 FEEDBACKQ (Q Data Out) 是数据解调器的输出。

20、根据权利要求 1 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的计数器其是最大计数量为 L 的异步清零计数器, L 为扩频增益乘以每切普的采样点数, 其等于固定相关器和移动相关器的相关长度; 该计数器有复位 (清零) 输入端、时钟输入端以及 L 分频输出端; 该计数器对输入时钟进行 L 分频, 在复位脉冲作用下立即使计数器清零, 其分频输出与复位端信号同步。

21、根据权利要求 20 所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的 L 计数器其具体电路连接结构如下:

该 L 计数器, 由 U1 (7404)、U2 (74161)、U7 (74161)、U8 (7420) 及 U9 (7432) 逻辑电路构成, 电路的输入时钟为切普时钟 IQDMP, 最大计数值 L 为 192, 输出为 CLKOUT, 供给匹配滤波器和数据解调器; 计数器在固定相关器的峰值时刻清零, 1XCOROUT15 反相后作为计数器 U2、U7 的清除信号, L 计数器计满后自动回零。

22、根据权利要求 1 至 21 中任一权利要求所述的快速修正误差的切普时钟恢复装置, 其特征在于所述的闸门环路其具体电路连接结构如下:

2XCOROUT15 连接到 U6A 的 1 脚、U10A 的 4 脚;

U4 的 OUT (3 脚) 连接到 U3A 的 1 脚, U6A 的 Q (13 脚) 连接到 U3A 的 2 脚, U10A 的 Q (5 脚) 连接到 U3A 的 13 脚;

U3A 的 12 脚连接到 U5 的 2 脚, 同时送输出 HIGHSPEEDPULSES。

说明书

快速修正误差的切普时钟恢复装置

本发明涉及一种电通讯技术领域扩频通信技术的调制与解调技术、相关接收技术以及锁相环技术中的时钟恢复跟踪装置，特别是涉及一种直接序列扩频移相键控(BPSK / QPSK)通信接收机的快速修正误差的切普时钟恢复装置。

目前扩频通信技术已日趋成熟，并已获得广泛的应用。直接序列扩频通信是较为普遍的扩频方式，其接收机中的伪码捕获与跟踪是最为重要的一环，其与切普时钟的恢复是密切相关的，特别是对于伪码跟踪而言，需要对接收机中用以产生切普时钟(chip Clock)的VCO(压控振荡器)提供实时快速的调节误差，使接收机的切普时钟达到与发射机的切普时钟良好的同步，从而为正确的解扩和判决数据输出创造条件。

现有的切普时钟恢复装置，是通过相关的接收器在每符号(Symbol)产生一个误差信号去调节VCO。由于切普时钟的速率是数据符号速率的L倍，该速率倍数L一般为从几十到几百倍，甚至更大；当速率倍数L较小时，相关接收器的输出受噪声影响较大，使调节误差受噪声影响；而当速率倍数L较大时，切普时钟的调节实时性较差，误差调节慢，切普跟踪比较粗糙。因此无论速率倍数L大小，切普时钟的好坏对输出数据的误码性能都有直接的影响。

直接序列扩频通信技术，是将待传输的数据信息调制在伪随机序列(PN)上，即用一个PN序列代表信息比特“0”，而用其反码来表示信息比特“1”，这就是直接序列的扩频过程。将扩频后的序列进行BPSK / QPSK调制，产生中频(IF)信号，再通过射频设备发射出去。在接收端，经射频接收设备后得到中频(IF)信号，进行下变频、匹配滤波(或差分解调)及积分清洗等过程，产生数据判决输出。其中，BPSK / QPSK解调在匹配滤波(或差分解调)环节一并完成。接收机中的下变频需载波同步，其它后续过程离不开切普时钟同步。在接收机中有一个关键的部分——相关器，其将本地PN序列与发送端的发送的PN序列进行相关运算，在相关峰值时刻给出各部分所需的控制信息，如切普误差、匹配滤波器的同步信息以及数据判决时刻等。

现有的直接序列扩频通信产品，其均是大致采用上述技术。如美国Zilog公司的Z2000扩频通信芯片，其在QPSK方式下，跟踪能力最大为数据速率的1 / 4。以美国Qualcomm为代表的IS-95 CDMA(码分多址)标准也采用直接序列扩频技术。

相关技术是扩频接收的核心技术，大多是采用滑动相关法。本地PN序列存放在固定的寄存器中，输入序列按采样速率逐点进入与本地序列相同长度的移位寄存器中，当输入序列采用与本地相同的PN码调制且移入寄存器后与本地PN码对准时，相关器将输出一个最大值(即峰值 Peak Value)；当

两序列不对准有偏离时，相关值很小。因此可以通过相关值的大小来判断 PN 序列同步情况，产生误差信号通过锁相环路控制 VCO，调节触发移位寄存器的切普时钟，使本地序列与接收序列完全对准，进而解出数据信息。该相关器可以串行或并行来实现。

上述现有的直接序列扩频 BPSK / QPSK 通信接收机的时钟恢复装置由于采用每符号产生一次误差控制 VCO 的方法，所以其存在有控制频度不高、时钟恢复不快及影响解调性能等的缺陷。由此可见，上述现有的直接序列扩频 BPSK / QPSK 通信接收机的时钟恢复装置仍存在有诸多的缺陷，而亟待加以改进。

有鉴于上述现有的切普时钟恢复装置存在的弊端，本发明人基于丰富的技术工作实务经验及其专业知识，经过不断的研究、设计，并经反复试作样品及改进后，终于创设出本发明。

本发明的主要目的在于，克服上述现有的切普时钟恢复装置所存在的缺陷，而提供一种直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置，使其对于伪码跟踪对接收机中用以产生切普时钟 (chip Clock) 的 VCO (压控振荡器) 提供实时快速的调节误差，使接收机的切普时钟可达到与发射机的切普时钟良好的同步，从而可为正确的判决数据输出创造条件，而使相关接收器的输出受噪声影响较小，使切普时钟的调节实时性较好，切普跟踪比较快，从而可以获取良好的切普时钟，改善误码性能。

本发明的另一目的在于，提供一种直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置，使其在接收机中加入一闸门电路及其配套电路，在每符号时间内对 VCO 调节若干次，从而可提高时钟误差的修正速度，增加跟踪能力。

本发明的目的是由以下技术方案来实现的。依据本发明提出的直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置，设有固定相关器、VCO 控制回路及 L 计数器，其特征在于其包括固定相关器、移动相关器、VCO 控制回路、闸门电路、数据反馈支路及 L 计数器等部分，其中：该固定相关器及移动相关器，是两个对称结构的 X 相关器，固定相关器捕获输入信号中的 PN 序列，实现切普时钟的粗同步；该 X 相关器，为对称结构，消除了载波相位偏差对切普同步的影响；其切普时钟的修正误差不仅来自固定相关器，而且更多的修正来自于移动相关器，能够快速修正、恢复和跟踪；该 VCO 控制回路，为压控振荡器环路；该闸门电路，受移动相关器的峰值输出控制，输出高速脉冲流驱动移动相关器动作；该数据反馈支路，消除接收信号中的调制信息对移动相关器输出的影响；该 L 计数器，为 L 分频，产生数据解调所需的时钟；A/D 转换器后下变频后的数字基带扩频信号 I 和 Q 送入固定相关器，并送入反馈支路，反馈支路的输出 I_d 和 Q_d 送入移动相关器；固定相关器和移动相关器产生的误差相加后作为 VCO 环路的输入，VCO 环路的输出为切普时钟，供给固定相关器和移动相关器，同时供给 L 计数器产生数据时钟输出，L 计数器的复位受固定相关器峰值脉冲控

制；移动相关器的峰值脉冲送闸门电路，闸门电路的输出供给移动相关器；上述结构相组合，构成本发明直接序列扩频通信接收机的切普时钟恢复装置。

本发明的目的还可以通过以下技术措施来进一步实现。

前述的快速修正误差的切普时钟恢复装置，其切普时钟恢复装置的信号工作流程及电路连接关系如下：下变频后的信号 IB 和 QB 经 A/D 变换后成为数字信号 I，即 I[0:7] 和 Q（即 Q[0:7]）送入固定相关器的信号输入端；该本地序列发生器，其输出 PNI 和 PNQ 连接至本地序列 PNI 和 PNQ 输出端；该 VCO 环路，其输出 MAINCLK 连接至时钟输入端；输出 Xoutf 是固定相关输出，其连接到 VCO 环路 1XCOROUT[00:15] 输入端，作为 VCO 的误差源之一，同时该信号连接到 L 计数器的输入端，作为该 L 计数器清零之用；该信号的最高有效位还和移动相关器的 RESTART 端相连，作为移动相关器中的本地序列定位之用；该固定相关器其辅助电路中，MAINCLK 输入时钟经 L，此处 L = 192，分频产生的 IQDMP 输出作为切普时钟输出；数字信号 I[0:7] 和 Q[0:7] 经固定相关器的 FIFO 的延迟线后，得到一符延迟后的 IDD[0:7] 和 QDD[0:7] 信号，连接到 DELAYI[0:7] 和 DELAYQ[0:7] 反馈支路的数据输入端，在这里与判决输出后的数据比特 FEEDBACKIHE 和 FEEDBACKQ 路相乘，去除接收信号中的调制信息，其输出 ID[0:7] 和 QD[0:7] 送入移动相关器；该移动相关器的本地移动序列发生器，其输出 PNIM 和 PNQM 作为移动相关器的本地移动序列的输入 PNIM 和 PNQM；该移动相关器的输出 XOUTM 连到 VCO 环路的 2XCOROUT[00:15] 输入端，作为 VCO 的另一误差源；该信号的最高有效位同时连接到闸门电路的输入端，作为其启动脉冲；该闸门电路的输出信号为高速脉冲串 HIGHSPEEDPULSES，其连接到移动序列发生器的输入端；移动相关器的输出 2XCOROUT[08:15] 和固定相关器的输出 2XCOROUT[08:15] 在误差提取电路中形成 VCO 所需的误差信号，VCO 的输出 MAINCLK 经 L 分频后产生 IQDMP，该 IQDMP 时钟即为经快速修正过的切普时钟。

前述的快速修正误差的切普时钟恢复装置，其中所述的固定相关器其将两个输入信号与本地固定序列分别相关，再将两个相关结果平方后相加，相加的结果作为固定相关器的输出，消除下变频载波相位误差对相关值的影响；该固定相关器，其包括：两个信号移位寄存器、一个或两个 PN 序列存放器、两个相关运算器、两个平方器、一个加法器及一个门限比较器；输入信号 I 和 Q 分别串行送入移位寄存器，移位寄存器的每一单元输出与本地 PN 序列的每一位进行相关运算，相关运算的输出送入平方器，二个平方器的输出相加，和值送门限比较器，此和值超过设定的门限就输出，该输出即为固定相关器的输出 Xoutf。

前述的快速修正误差的切普时钟恢复装置，其中所述的移动相关器将两个输入信号与本地移动序列分别相关，再将两个相关结果平方后相加，相加的结果作为移动相关器的输出，消除下变频载波相位误差对相关值

的影响；该移动相关器，包括两个移位寄存器、一个或两个可移动的 PN 序列存放器、两个相关运算器、两个平方器、一个加法器以及一个门限比较器；输入信号 I_d 和 Q_d 分别串行送入移位寄存器，移位寄存器的每一单元输出与本地可移动的 PN 序列的每一位进行相关运算，即对应相乘，并将所有相乘结果加起来，相关运算的输出送入平方器，两个平方器的输出相加，和值送门限比较器，如果此和值超过设定的门限就输出，该输出即为移动相关器的输出 X_{outm} ；移动相关器中的本地 PN 序列存放器的复位受固定相关器峰值脉冲的控制。

前述的快速修正误差的切普时钟恢复装置，其中所述的固定相关器其输入信号的移位寄存器是 8 比特并行的移位寄存器，每输入一个信号采样点，相关器将移位寄存器内容与本地 PN 序列进行一次长为 L 的相关运算，即将移位寄存器每一单元内容与本地 PN 序列的每个比特相乘并累加，输出一个相关值；固定相关器中的每个相关器包含 L 个乘法器和 L 个累加器，每输入一个采样点，累加器取一次值并清零；在 BPSK 扩频通信方式，固定相关器的本地 PN 序列只有一个，而在 QPSK 扩频通信方式，与发送端相一致，可以有不同的两个本地 PN 序列。两路输入分别与两个本地 PN 序列相关。

前述的快速修正误差的切普时钟恢复装置，其中所述的固定相关器其电路连接结构如下：两个移位寄存器分别由 U2-U7 和 U22-U27FIFO (74F433) 所组成；两个相关器由单片累加器 STEL-2410 (U9) 及 U11-U14 组成的辅助电路构成；两个平方器、一个加法器和一个门限比较器由单片 TMC2249A (U8) 承担；数字信号 $I[0:7]$ 经 U17 和 U18 (74HC157) 选择器后，进入 8 位并行移位寄存器，即 $U3 \rightarrow U2 \rightarrow U4$ ， $U6 \rightarrow U5 \rightarrow U7$ ，数字信号 $Q[0:7]$ 经 U28 和 U29 (74HC157) 选择器后，进入 8 位并行移位寄存器即 $U23 \rightarrow U22 \rightarrow U24$ ， $U26 \rightarrow U25 \rightarrow U27$ ；本地序列 PN_I 和 PN_Q 送入相关器 U9，在主时钟 MAINCLK 的作用下，输入的数字信号和本地序列在相关器 U9 中相关，相关结果 $IOUT[0:7]$ 和 $QOUT[0:7]$ 送入平方加法器 U8，其输出 $1XCOROUT[00:15]$ 即为固定相关器的输出 X_{outf} ；每输入一次采样点 $I[0:7]$ 和 $Q[0:7]$ ，U17 - U18 和 U28 - U29 选择器动作一次，将采样点置入并行信号移位寄存器中，然后进行一次相关运算，即进行 192 次相乘相加运算；每进行一次相乘相加，信号移位寄存器循环移位一次；U11 - U14 完成 192 计数功能，保证使输入的信号与本地序列进行 192 次相乘相加后，输出一次结果。

前述的快速修正误差的切普时钟恢复装置，其中所述的固定相关器其具体电路信号连接结构如下： $I[0:7]$ 连接到 U17、U18 的 2、5、11、14 脚， $Q[0:7]$ 连接到 U28、U29 的 2、5、11、14 脚；MAINCLK 连接到 U11、U12 的 2 脚，U3、U6、U23、U26 的 2 脚，U9 的 14 脚； PN_I 及 PN_Q 分别连接到 U9 的 17、55 脚；QDMP 是 U14A 的输出，连接到 U11、U12 的 1 脚，U17、U18、U28、U29 的 1 脚，U9 的 31、40 脚，U8 的 1 脚，最后输

出：U4、U7的18、19、20、21组成8位数据总线，U24、U27的18、19、20、21组成8位数据总线，分别连接到U9的IDD[0:7]（1、3、4、5、6、7、8、9脚）和QDD[0:7]（60、61、62、64、65、66、68脚）；U9的IOUT[0:7]（27、26、25、24、23、22、20、18脚），分别连接到U8的B[4:11]（38、39、40、41、43、44、45、47脚）和A[4:11]（55、54、53、52、51、50、49、48脚）；U9的QOUT[0:7]（44、45、46、47、48、49、50、51脚），分别连接到U8的D[4:11]（111、110、109、108、107、105、104、103脚）和C[4:11]（94、95、96、97、98、99、100、101脚）；数字门限电平THRES[00:15]连接于U8的CAS[0:15]（82、81、80、79、78、77、76、75、74、73、71、70、69、68、67、66脚）；U8的S[8:15]（15、14、13、11、10、9、7、6脚），接输出1XCOROUT[8:15]。

前述的快速修正误差的切普时钟恢复装置，其中所述的移动相关器其电路连接结构如下：两个移位寄存器分别由U2-U7和U22-U27FIFO(74F433)组成；两个相关器由单片累加器STEL-2410（U9）以及U11-U14组成的辅助电路构成；PNI序列和PNQ序列即为PNIM和PNQM序列；两个平方器、一个加法器及一个门限比较器由单片TMC2249A（U8）承担；数字信号ID[0:7]经U17和U18(74HC157)选择器后，进入8位并行移位寄存器即U3→U2→U4，U6→U5→U7，数字信号QD[0:7]经U28和U29(74HC157)选择器后，进入8位并行移位寄存器即U23→U22→U24,U26→U25→U27；本地序列PNIM和PNQM送入相关器U9，在主时钟MAINCLK的作用下，输入的数字信号和本地序列在相关器U9中相关，相关结果IOUT[0:7]和QOUT[0:7]送入平方加法器U8，其输出2XCOROUT[00:15]即为固定相关器的输出Xoutm；每输入一次采样点ID[0:7]和QD[0:7]，U17-U18和U28-U29选择器动作一次，将采样点置入并行信号移位寄存器中，然后进行一次相关运算，即进行192次相乘相加运算；每进行一次相乘相加，信号移位寄存器循环移位一次；U11-U14完成192计数功能，保证使输入信号与本地序列进行192次相乘相加后，输出一次结果；前述的移动相关器与固定相关器的结构基本相同，不同之处在于：固定相关器的本地PN序列（长度=64）相对于输入信号是固定不动的，即PNI和PNQ的移位时钟为PNCLK；移动相关器的本地序列相对于输入信号是突发性快速移动的，即PNIM和PNQM的移位时钟为PNCLKM。

前述的快速修正误差的切普时钟恢复装置，其中所述的移动相关器其具体电路连接结构如下：移动相关器中的PN码产生电路、移动相关器中的信号连接关系与固定相关器中的PN码产生电路、固定相关器中的信号连接电路结构关系基本相同，其不同点如下：ID[0:7]代I[0:7]，QD[0:7]代Q[0:7]；PNIM、PNQM分别代PNI、PNQ；U8的S[8:15]（15、14、13、11、10、9、7、6脚），接输出2-XCOROUT[8:15]。

前述的快速修正误差的切普时钟恢复装置，其中所述的 VCO 环路其误差信号来自固定相关器产生的误差和移动相关器产生的误差之和；该 VCO 环路，其包括有一个加法器、一个三级移位寄存器、一个减法器、一个 D / A 转换器、一个低通滤波器 及一个压控振荡器 VCO ； 该固定相关器的输出信号 Xoutf 和移动相关器的输出信号 Xoutm 相加后送入三个移位寄存器，将左、右两寄存器的输出相减，再送入低通滤波器，其输出作为 VCO 的电压控制输入，该 VCO 的输出即为恢复的切普时钟；该时钟供固定相关器和移位相关器中的移位寄存器的移位时钟，还供给 VCO 环路中的三级移位寄存器的移位时钟，以及提供接收机中解扩匹配滤波器和数据解调所需的时钟。

前述的快速修正误差的切普时钟恢复装置，其中所述的 VCO 环路其三级移位寄存器是 8 位并行移位寄存器，左右两寄存器单元的值相减作为 VCO 的控制误差， 当后接的低通滤波器为模拟滤波器时，需在减法器 and 滤波器间插入数模转换器(即 D / A)，当为全数字实现时，无需 D / A 转换器。

前述的快速修正误差的切普时钟恢复装置，其中所述的 VCO 环路其电路连接结构如下： 1XCOROUT[08:15] (即 Xoutf) 及其反向信号，在 T1 (左) 和 T3 (右) 时刻锁入 U11、U12 的锁存器中，并在 U9、U10 构成的加法器中相加， 1DA[0:7] 实质上是固定相关器的输出在左、右两时刻的误差；同样地， 2XCOROUT[08:15] (即 Xoutm) 及其反向信号，在 T1 (左) 和 T3 (右) 时刻锁入 U16、U17 的锁存器中，并在 U14、U15 构成的加法器中相加， 2DA[0:7] 实质上是移动相关器的输出在左右两时刻的误差；这两个误差经 U1 和 U2 (DAC08) 转换为模拟信号，并在 U3 和 U4A 中相加，经 R13 和 C8 组成的低通滤波器后送 VCO U5 (MC1648)；上述电路实现了 Xoutf 和 Xoutm 相加，移入左、中、右寄存器，并将左、右两寄存器值相减，再 D/A 转换，低通滤波，直至 VCO 控制等 VCO 环路全过程； T1、T2、T3 三个时刻的脉冲，其由 U6 (74161)、U7 (7404) 及 U8 (7432) 逻辑电路构成，其输入信号是移动相关器的峰值信号 2XCOROUT15 和切普时钟 IQDMP，即当移动相关器出现峰值时，记下第一、第二、第三个超过阈值的脉冲位置。

前述的快速修正误差的切普时钟恢复装置，其中所述的 VCO 环路其具体电路连接结构如下： T1 接到 U11、U16 的 11 脚， T3 接到 U12、U17 的 11 脚； 1XCOROUT[08:15] 连接到 U11 的 D[0:7] (2、3、4、5、6、7、8、9 脚)、U7、U13 的输入端； 2XCOROUT[08:15] 连接到 U16 的 D[0:7] (2、3、4、5、6、7、8、9 脚)、U18、U13 的输入端； U9 和 U10 的输出 S[1:4] (4、1、13、10 脚) 组成 8 位数据总线， U14 和 U15 的输出 S[1:4] 组成 8 位数据总线，分别连接到 U1、U2 的 B[1:8] (9、10、11、12、13、14、15、16 脚)； U5 的 OUT (3 脚) 连接到输出 MAINCLK。

前述的快速修正误差的切普时钟恢复装置，其中所述的闸门电路其在启动脉冲控制下产生一串高速脉冲，该闸门电路包括：一个闸门、一个计数器、一个振荡器 (OSC)、一个脉冲展宽器以及一个触发器；该闸门电路在启动脉冲控制下，输出 M 个脉冲串，M 是设定的计数器的最大计数值；启动脉

冲打开闸门，允许振荡器 OSC 的时钟通过闸门，同时计数器对通过闸门的时钟周期数进行计数，当计数器计满M时关闭闸门，直到下一个启动脉冲的到来才再一次打开闸门。

前述的快速修正误差的切普时钟恢复装置，其中所述的闸门电路其中振荡器 OSC 的振荡频率高于切普时钟频率，可使振荡器的振荡频率等于切普时钟频率的两倍；其启动脉冲为移动相关器的峰值脉冲，该脉冲经展宽后为高电平送给一“与门”，OSC 的输出也送入该“与门”，“与门”的输出送M计数器，计满后进位信号触发一触发器，由高电平跳转为低电平，该电平送入“与门”封闭其输出，即闸门电路输出M个高速脉冲就停止，直到下一次移动相关器的峰值脉冲的到来；上述触发器的输出状态在移动相关器的峰值时刻被置高；计数器的最大计数值M的设置决定了切普时钟误差的修正速度，M越大修正越慢，反之，M越小修正越快；M最小不能小于每切普的采样点数，本装置每切普采样 3 点，M最大不能大于固定相关器和移动相关器的相关长度L；当M等于L时，本切普时钟误差的修正速度等于以前装置的速度，解调性能没有改善。

前述的快速修正误差的切普时钟恢复装置，其中所述的闸门电路的电路连接结构关系为：电路设计条件：直接序列扩频，扩频增益=64；QPSK 调制；每切普(Chip)采样 3 点，相关长度 L=每切普采样点数乘以扩频增益=192；PN 序列为 Gold 序列，长度=64；切普时钟修正速度参数M=12=3*4，即每 4 个切普修正一次。

前述的快速修正误差的切普时钟恢复装置，其中所述的反馈支路其由两个一符号延迟器和两个乘法器组成，反馈的数据与一符号延迟的信号相乘后作为该反馈支路的输出，在 BPSK 方式下 DI 和 DQ 相连，在 QPSK 方式下 DI 和 DQ 分开。

前述的快速修正误差的切普时钟恢复装置，其中所述的闸门电路其具体电路连接结构如下：该闸门电路，其包括：振荡源 U4(OSCB)、闸门 U3A(74HC10)及 M(M=16)计数器 U5(74161)；移动相关器的峰值输出即符号比特 2XCOR - OUT15 经 U6A(74123)脉冲展宽后作为闸门的控制信号，M 计数器 U5(74161)的进位送入 U10A(D 触发器)产生封闭闸门的控制信号；闸门的输出高速脉冲 HIGHSPEEDPULSES 送给移动相关器。闸门电路的 U3A(74HC10)的时钟来自一个固定的振荡器 U4 (OSCB)，OSCB 的频率高于输入信号的采样速率，这里取 2 倍。

前述的快速修正误差的切普时钟恢复装置，其中所述的反馈支路其具体电路连接结构如下：两个乘法器由 U1A-U1D、U2A-U2D、U3A-U3D、U4A-U4D 的异或门构成；本地序列为二进制序列，输入的数字信号与二进制序列的乘法运算可用异或运算代替，接收机中的下变频后的数字信号 I[0:7]和 Q[0:7] 经一数据符号延迟后的信号 DELAYI [0:7] 即 IDD[0:7]) 和 DELAYQ[0:7] 即 QDD[0:7]) 分别与反馈数据比特 FEEDBACKI 和 FEEDBACKQ 按位异或，输出为 ID[0:7]和 QD[0:7]，作为移动相关器的信号输入，这里的

FEEDBACKI (I Data Out)和 FEEDBACKQ(Q Data Out)是数据解调器的输出。

前述的快速修正误差的切普时钟恢复装置，其中所述的计数器其是最大计数量为 L 的异步清零计数器， L 为扩频增益乘以每切普的采样点数，其等于固定相关器和移动相关器的相关长度；该计数器有复位（清零）输入端、时钟输入端以及 L 分频输出端；该计数器对输入时钟进行 L 分频，在复位脉冲作用下立即使计数器清零，其分频输出与复位端信号同步。

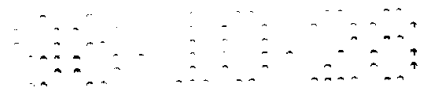
前述的快速修正误差的切普时钟恢复装置，其中所述的 L 计数器其具体电路连接结构如下：该 L 计数器，由 U1(7404)、U2(74161)、U7(74161)、U8(7420)及 U9(7432) 逻辑电路构成，电路的输入时钟为切普时钟 IQDMP，最大计数值 L 为 192，输出为 CLKOUT，供给匹配滤波器和数据解调器；计数器在固定相关器的峰值时刻清零，1XCOROUT15 反相后作为计数器 U2、U7 的清除信号， L 计数器计满后自动回零。

前述的快速修正误差的切普时钟恢复装置，其中所述的闸门环路其具体电路连接结构如下：2XCOROUT15 连接到 U6A 的 1 脚、U10A 的 4 脚；U4 的 OUT(3 脚)连接到 U3A 的 1 脚，U6A 的 Q(13 脚)连接到 U3A 的 2 脚，U10A 的 Q(5 脚)连接到 U3A 的 13 脚；U3A 的 12 脚连接到 U5 的 2 脚，同时送输出 HIGHSPEEDPULSES。

在上述的快速修正误差的切普时钟恢复装置中，固定相关器和移动相关器，两者具有相同的结构。固定相关器中的本地 PN 序列相对于接收信号中的调制序列而言是固定不动的，而该移动相关器的本地序列是可移动的，其移动受闸门电路的输出高速脉冲控制。移动相关器总处于一种快速移动-->守候捕获-->快速移动的动态循环之中，每次循环都会产生一次峰值输出，从而产生一次 VCO 误差。固定相关器每数据符号有一次峰值输出，其输出加入到移动相关器的输出中，保证本装置的性能不劣于以前现有的方法。固定相关器主要提供符号粗同步，移动相关器主要产生 VCO 的误差信号。在 VCO 环路锁定后，即使接收信噪比较差或信号载波频率瞬间偏离较大，本装置将快速使 VCO 再次进入锁定。

本发明与现有技术相比具有明显的优点和积极效果。由以上技术方案可知，本发明涉及一种直接序列扩频 BPSK / QPSK 通信接收机的切普时钟恢复装置，现有传统的切普时钟恢复方式，是将接受信号下变频后与本地序列相关，本地序列固定不动，在一符号时间内产生一次峰值输出，或取一次切普时钟误差，实施一次调节。本发明在接收机中增加一个移动相关器及附属装置，使得在一符号时间内可获取多个峰值输出，获取多次切普时钟误差，实施多次调节，最多次数可达到一符号内的切普数。

本发明的技术要点是在直接序列扩频通信接收机中的切普时钟恢复部分，除了保留原有的固定相关器外，另加一个移动相关器，并辅以反馈支路和闸门电路。用于产生切普时钟的压控振荡器 (VCO) 同时受固定相关器的输出误差和移动相关器的输出误差的控制，保证切普时钟的恢复跟踪速度不劣于传统的方法。



本发明的创新点主要是在切普时钟的恢复问题上，以前的方法是在相关器的峰值输出时刻(或附近)(即一个数据符号内)产生一次误差信号去调节时钟的相位，由于调节次数相比于切普速率慢得多，就要求 VCO 的中心频率与发端频率不能相差太多，否则数据误码性能就会变差。

本发明从增加调节次数的目的出发，设计出本发明装置，其可以每隔 M ($M \ll L$) 采样点计算一次误差，调节一次相位。这样在一个数据比特内调节或跟踪次数为 L / M (本装置 $L=192, M=12, L/M=16$)，从而可以很快找出误差，实施调节。

实验证明，本发明装置的跟踪性能比以前方法提高 (L / M) 倍，即使在接收信噪比很差时，其性能也比前方法好得多。在运用本装置后，对接收机下变频器的载波同步要求也下降很多。

本发明可以广泛应用于以直接序列扩频通信 BPSK / QPSK 接收机中，提高切普时钟的恢复速度和质量，降低通信的误码率。适用于点对点扩频通信，点对多点扩频通信以及 CDMA 移动通信。

综上所述，本发明的直接序列扩频移相键控(BPSK / QPSK)通信接收机的快速修正误差的切普时钟恢复装置，其在本发明技术领域，不论在结构上或功能上皆有很大的改进，且在技术上有很大进步，并产生了好用及实用的效果，而确实具有增进功效，从而更加适于实用，诚为一新颖、进步、实用的新设计。

本发明的具体结构、方式由以下实施例及其附图详细给出。

图 1 是直接序列扩频(DSSS)接收机的结构示意图，表示出本发明在直接序列扩频(DSSS)接收机中的结构关系。

图 2 是本发明快速修正误差的切普时钟恢复装置的结构示意图。

图 3 是本发明的固定相关器的结构示意图。

图 4 是本发明的移动相关器的结构示意图。

图 5 是本发明的切普时钟恢复的 VCO 回路的结构示意图。

图 6 是本发明的闸门电路的结构示意图。

图 7 是本发明的 BPSK / QPSK 方式反馈支路的结构示意图。

图 8 是本发明的相关运算结构的结构示意图。

图 9 是本发明应用时的结构示意图。

图 10a 是本发明的固定相关器中的 PN 码产生电路的电路图。

图 10b 是本发明的固定相关器的电原理图。

图 11a 是本发明的移动相关器中的 PN 码产生电路的电路图。

图 11b 是本发明的移动相关器的电原理图。

图 12a 是本发明的 VCO 环路中的误差提取电路的电路图。

图 12b 是本发明的 VCO 环路中的压控电路的电路图。

图 12c 是本发明的 VCO 环路中的锁存脉冲产生电路的电路图。

图 13 是本发明的闸门电路的电原理图。

图 14 是本发明的反馈支路的电原理图。

图 15 是本发明的数据时钟产生电路的电原理图。

以下结合附图及其较佳的实施例，对依据本发明提出的直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置其具体的结构、特征及功效，详细说明如后。

请参阅图 1 所示，是直接序列扩频(DSSS)接收机的结构示意图，同时表示出本发明直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置在直接序列扩频(DSSS)接收机中的结构关系。

本发明直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置，该装置不同于以前的切普时钟恢复装置，该装置中多出了闸门电路、移动相关器及反馈支路。在本装置中，切普时钟定义为接收机中对下变频后的基带扩频信号 IB 和 QB 采样的时钟。如果扩频 PN 序列的每切普 (Chip) 被采样三点，则切普时钟(ChipClock)是 PN 切普速率(CPRT)的三倍。

请参阅图 2 所示，本发明直接序列扩频 BPSK / QPSK 通信接收机的快速修正误差的切普时钟恢复装置，其包括：固定相关器、移动相关器、VCO 控制回路、闸门电路、数据反馈支路及 L 计数器等部分；其中，固定相关器及移动相关器是两个对称结构的 X 相关器，VCO 控制回路即为压控振荡器(简称 VCO, 下同)环路；固定相关器用于捕获输入信号中的 PN 序列，实现切普时钟的粗同步；该 X 相关器由于采用了对称结构，消除了载波相位偏差对切普同步的影响；该闸门电路受移动相关器的峰值输出控制，输出高速脉冲流驱动移动相关器动作；该数据反馈支路用于消除接收信号中的调制信息对移动相关器输出的影响；该 L 计数器用于 L 分频，产生数据解调所需的时钟。本发明的发明点不同于以往现有的切普时钟恢复装置之处是位于图中下部分虚线框内的部分，图中的虚框(点划线)标明了本装置比以前装置多出的部分。本发明快速修正误差的切普时钟恢复装置，其包括反馈支路，移动相关器和闸门电路，其切普时钟的修正误差不仅来自固定相关器，而且更多的修正机会来自移动相关器，可达到快速修正、恢复和跟踪的目的。

下变频后的数字基带扩频信号(图 1 中的 A/D 转换器后) I 和 Q 送入固定相关器，并送入反馈支路，该反馈支路的输出 Id 和 Qd 送入移动相关器；固定相关器和移动相关器产生的误差相加后作为 VCO 环路的输入，VCO 环路的输出为切普时钟，供给固定相关器和移动相关器，同时供给 L 计数器产生数据时钟输出，L 计数器的复位受固定相关器峰值脉冲控制；移动相关器的峰值脉冲送闸门电路，闸门电路的输出供给移动相关器。

上述结构相组合构成本发明直接序列扩频通信接收机的切普时钟恢复装置，该装置不同于以前的切普时钟恢复装置，采用本发明装置后，在每数据符号内，移动相关器将有若干次峰值输出，在本装置的设计中有 16 次峰值输出，而不再是以前现有的装置的一次峰值输出，从而使时钟的跟踪恢复速度提高了 16 倍，而快速修正切普时钟的误差，较大地提高解扩和解调的性能。

以下将结合图 3-图 8 对本发明的各个部分的结构做更进一步深入的描述。需要指出的是，本发明所给出的各部分的电原理图只是本发明的一种实施方式，而图 1 ~ 图 8 所示的技术方案才是本发明的整体技术构思所在。

请参阅图 3 所示，是本发明的固定相关器的结构，其用于捕获输入信号中的 PN 序列，其结构不同于现有的普通相关器，其同时对两路正交的输入信号进行相关运算，并将相关结果平方后相加，消除下变频载波相位的偏差对相关值的影响。当输入信号中的 PN 序列与固定相关器中的本地 PN 序列相同且完全对准时，固定相关器输出一个峰值。该固定相关器是将两个输入信号与本地固定序列分别相关，再将两个相关结果平方后相加，相加的结果作为固定相关器的输出，故消除了下变频载波相位误差对相关值的影响。

该固定相关器，其包括：两个信号移位寄存器、一个或两个 PN 序列存放器、两个相关运算器、两个平方器、一个加法器以及一个门限比较器。

输入信号 I 和 Q 分别串行送入移位寄存器，移位寄存器的每一单元输出与本地 PN 序列的每一位进行相关运算（即对应相乘，并将所有相乘结果加起来），相关运算的输出送入平方器，二个平方器的输出相加，和值送门限比较器，如果此和值超过设定的门限就输出，该输出即为固定相关器的输出 X_{outf} 。

请参阅图 4 所示，是本发明的移动相关器的结构，其也是用于捕获输入信号中的 PN 序列，其不同于现有的普通相关器，也不同于上述的固定相关器。该移动相关器的本地序列是可移动的，即是可循环移位的，这样就可用它来捕获不同时间偏移的输入序列。当输入信号中的 PN 序列与移动相关器中的本地 PN 序列相同且完全对准时，则该移动相关器输出一个峰值。由于 VCO 的误差依赖于相关峰值的出现，因此该移动相关器在本发明中发挥着非常重要的作用。该移动相关器是将两个输入信号与本地移动序列分别相关，再将两个相关结果平方后相加，相加的结果作为移动相关器的输出，消除了下变频载波相位误差对相关值的影响。

该移动相关器，其包括：两个移位寄存器、一个或两个可移动的 PN 序列存放器、两个相关运算器、两个平方器、一个加法器以及一个门限比较器。

输入信号 I_d 和 Q_d 分别串行送入移位寄存器，移位寄存器的每一单元输出与本地可移动的 PN 序列的每一位进行相关运算，即对应相乘，并且将所有相乘结果加起来，相关运算的输出送入平方器，两个平方器的输出相加，和值送门限比较器，如果此和值超过设定的门限就输出，该输出即为移动相关器的输出 X_{outm} 。

移动相关器中的本地 PN 序列存放器的复位受固定相关器峰值脉冲的控制。

请参阅图 5 所示，是本发明的切普时钟恢复的 VCO 回路的结构，其接受来自固定相关器和移动相关器的峰值时刻的信号，并形成与切普时钟瞬时相位误差有关的误差信号，去控制 VCO 改变瞬时频率，其频率的改变总是朝着



使切普时钟瞬时相位误差绝对值变小的方向。VCO 环路其误差信号来自固定相关器产生的误差和移动相关器产生的误差之和。

该 VCO 环路，其包括：一个加法器、一个三级移位寄存器(左、中、右)、一个减法器、一个 D / A 转换器、一个低通滤波器以及一个压控振荡器 VCO。

固定相关器的输出信号 X_{outf} 和移动相关器的输出信号 X_{outm} 相加后送入三个移位寄存器(左、中、右)，将左右两寄存器的输出相减，再送入低通滤波器，其输出作为 VCO 的电压控制输入，该 VCO 的输出即为恢复的切普时钟。该时钟供固定相关器和移位相关器中的移位寄存器的移位时钟，还供给 VCO 环路中的三级移位寄存器的移位时钟，以及提供接收机中解扩匹配滤波器和数据解调所需的时钟。

如图 5 所示、上述的 VCO 环路，其三级移位寄存器是 8 位并行移位寄存器，左右两寄存器单元的值相减作为 VCO 的控制误差，当后接的低通滤波器为模拟滤波器时，需在减法器 and 滤波器间插入数模转换器(即 D / A)，当为全数字实现时，无需 D / A 转换器。

请参阅图 6 所示，是本发明的闸门电路的结构，其用于产生一组一组的高速脉冲串，推动移动相关器中的本地 PN 序列向前移动若干步，然后等候输入信号中同样序列的到来。

该闸门电路，其在启动脉冲控制下产生一串高速脉冲，该闸门电路，其包括：一个闸门、一个计数器、一个振荡器 (OSC, 下同)、一个脉冲展宽器以及一个触发器。

该闸门电路在启动脉冲控制下，输出 M 个脉冲串，M 是设定的计数器的最大计数值。启动脉冲打开闸门，允许振荡器 OSC 的时钟通过该闸门，同时计数器对通过闸门的时钟周期数进行计数，当计数器计满 M 时关闭闸门，直到下一个启动脉冲的到来才再一次打开闸门。

该闸门电路，其中的振荡器 OSC 的振荡频率高于切普时钟频率，可以使振荡器的振荡频率等于切普时钟频率的两倍；其启动脉冲为移动相关器的峰值脉冲，该脉冲经展宽后为高电平送给一“与门”，OSC 的输出也送入该“与门”，“与门”的输出送 M 计数器，计满后进位信号触发一触发器由高电平跳转为低电平，该电平送入“与门”封闭其输出，即该闸门电路输出 M 个高速脉冲就停止，直到下一次移动相关器的峰值脉冲的到来。上述触发器的输出状态在移动相关器的峰值时刻被置高。

计数器的最大计数值 M 的设置决定了切普时钟误差的修正速度。M 越大修正越慢，反之，M 越小修正越快。M 最小不能小于每切普的采样点数(本装置每切普采样 3 点)，M 最大不能大于固定相关器和移动相关器的相关长度 L。当 M 等于 L 时，本装置的切普时钟误差的修正速度等于以前方法的速度，解调性能没有改善。

请结合参阅图 2 中 L 计数器部分所示，上述的计数器，其是最大计数量为 L 的异步清零计数器，L 为扩频增益乘以每切普的采样点数，其等于固

定相关器和移动相关器的相关长度。该计数器有复位（清零）输入端、时钟输入端以及 L 分频输出端，其构成如图 2 中 L 计数器部分。该计数器对输入时钟进行 L 分频，在复位脉冲作用下立即使计数器清零，其分频输出与复位端信号同步。

请参阅图 7 所示，是本发明的 BPSK / QPSK 方式反馈支路的结构，其是用于消除移动相关器中由于输入信号中的已调数据信息对移动相关值的影响。该反馈支路是由两个一符号延迟器和两个乘法器组成（如图 7 所示）。反馈的数据与一符号延迟的信号相乘后作为该反馈支路的输出。在 BPSK 方式下，DI 和 DQ 相连（图 7 中的虚线所示）；在 QPSK 方式下，DI 和 DQ 分开。

请参阅图 8 所示，是本发明的一种并行的相关运算结构，其将输入序列与本地序列的对应单元相乘，并将所有的相乘结果相加。这一相关运算结构也可用串行相关器来实现。该串行相关器每次只做一次乘和一次累加，为完成相关运算功能，必须设有配套的时序和电路，其主要是设置循环移位寄存器及其配套电路。本发明切普时钟恢复装置在图 10a、10b 和图 11a、11b 的相关器就采用了这种结构，其用 FIFO 作为循环移位寄存器。

如图 8 所示，是相关器的运算结构，上述固定相关器其输入信号的移位寄存器是 8 比特并行的移位寄存器，每输入一个信号采样点，相关器将移位寄存器内容与本地 PN 序列进行一次长为 L 的相关运算，即将移位寄存器每一单元内容与本地 PN 序列的每个比特相乘并累加，输出一个相关值。相关器的运算结构如图 8 所示。固定相关器中的每个相关器包含 L 个乘法器和 L 个累加器，每输入一个采样点，累加器取一次值并清零。

在 BPSK 扩频通信方式，固定相关器的本地 PN 序列只有一个，而在 QPSK 扩频通信方式，与发送端相一致，可以有不同的两个本地 PN 序列。两路输入分别与两个本地 PN 序列相关。

请参阅图 10 至图 15 所示，为本发明快速修正误差的切普时钟恢复装置的一种具体实施例，下面具体说明电路连接关系。

上述电路的设计条件是：

直接序列扩频，扩频增益=64；

QPSK 调制；

每切普 (Chip) 采样 3 点，

相关长度 L=每切普采样点数乘以扩频增益=192；

PN 序列为 Gold 序列，长度=64；

切普时钟修正速度参数 $M=12=3*4$ ，即每 4 个切普修正一次（以前方法是每 64 个切普修正一次，本装置的修正速度为以前方法的 16 倍）。

本发明总体结构请参阅图 2 所示，图 3 至图 8 为各部分结构图。本发明的一种具体实现如图 10 至图 15 所示，其中：图 3 所示的固定相关器，其具体电路如图 10a、10b 所示；图 4 所示的移动相关器，其具体电路如图 11a、11b 所示；图 5 所示的 VCO 环路，其具体电路如图 12a、12b、12c

所示；图 6 所示的闸门电路，其具体电路如图 13 所示；图 7 所示的反馈支路，其具体电路如图 14 所示；图 2 所示的 L 计数器，其具体电路如图 15 所示；

请参阅图 2 所示，本装置的信号工作流程及电路连接关系如下：下变频后的信号 IB 和 QB 经 A/D 变换后成为数字信号 I（即 I[0:7]）和 Q（即 Q[0:7]）送入图 10b 的固定相关器的信号输入端；图 10a 是本地序列发生器，其输出 PNI 和 PNQ 连接至图 10b 的本地序列 PNI 和 PNQ 输出端；图 12b 是 VCO 环路，其输出 MAINCLK 连接至图 10b 的时钟输入端；图 10b 的输出 Xoutf 是固定相关输出，其连接到图 12a 的 VCO 环路 1XCOROUT[00:15] 输入端，作为 VCO 的误差源之一；同时该信号连接到图 15 的 L 计数器的输入端，作为该 L 计数器清零之用；该信号的最高有效位还和图 11a 的移动相关器的 RESTART 端相连，作为移动相关器中的本地序列定位之用；在图 10b 所示的固定相关器的辅助电路中，MAINCLK 输入时钟经 L（L = 192）分频产生的 IQDMP 输出作为切普时钟输出。

数字信号 I[0:7] 和 Q[0:7] 经图 10b 的固定相关器的 FIFO 的延迟线后，得到一符延迟后的 IDD[0:7] 和 QDD[0:7] 信号，连接到图 14 的 DELAYI[0:7] 和 DELAYQ[0:7] 反馈支路的数据输入端，在这里与判决输出后的数据比特 FEEDBACKIHE 和 FEEDBACKQ 路相乘，去除接收信号中的调制信息，其输出 ID[0:7] 和 QD[0:7] 送入图 11b 移动相关器；图 11a 是移动相关器的本地移动序列发生器，其输出 PNIM 和 PNQM 作为图 11b 移动相关器的本地移动序列的输入 PNIM 和 PNQM；图 11b 移动相关器的输出 XOUTM 连到图 12a VCO 环路的 2XCOROUT[00:15] 输入端，作为 VCO 的另一误差源；该信号的最高有效位同时连接到图 13 闸门电路的输入端，作为其启动脉冲；该闸门电路的输出信号为高速脉冲串 HIGHSPD PULSES，其连接到图 11a 的移动序列发生器的输入端。

移动相关器的输出 2XCOROUT[08:15] 和固定相关器的输出 2XCOROUT[08:15] 在图 12a 的误差提取电路中形成 VCO 所需的误差信号，VCO 的输出 MAINCLK 经 L 分频后产生 IQDMP，该 IQDMP 时钟即为经快速修正过的切普时钟。

请参阅图 10a 固定相关器中的 PN 码产生电路及图 10b 固定相关器电路所示，上述的固定相关器，其具体电路如图所示。在图 10b 中，由相关器 U9 (STEL-2410)、平方加法器和门限比较器 U8 (TMC2249A)、U2 - U7 和 U22 - U27 (7F433) FIFO 组成的并行信号移位寄存器，以及由 U11 - U14 组成的辅助电路所构成。

请结合参阅图 3 所示，两个移位寄存器分别由图 10b 中的 U2 - U7 和 U22 - U27 FIFO（74F433）组成；两个相关器在图 10b 中由单片累加器 STEL-2410（U9）及 U11 - U14 组成的辅助电路构成；PNI 序列和 PNQ 序列由图 10a 产生；两个平方器、一个加法器和一个门限比较器在图 10b 中由单片 TMC2249A（U8）承担。

在图 10b 中，数字信号 I[0:7] 经 U17 和 U18 (74HC157) 选择器后，进入 8 位并行移位寄存器 (U3 → U2 → U4, U6 → U5 → U7)，数字信号 Q[0:7] 经 U28 和 U29 (74HC157) 选择器后，进入 8 位并行移位寄存器 (U23 → U22 → U24, U26 → U25 → U27)；本地序列 PNI 和 PNQ 送入相关器 U9，在主时钟 MAINCLK 作用下，输入的数字信号和本地序列在相关器 U9 中相关，相关结果 IOUT[0:7] 和 QOUT[0:7] 送入平方加法器 U8，其输出 1XCOROUT[00:15] 即为固定相关器的输出 Xoutf。

每输入一次采样点 I (0:7) 和 Q (0:7)，U17-U18 和 U28-U29 选择器动作一次，将采样点置入并行信号移位寄存器中，然后进行一次相关运算，即进行 192 次相乘相加运算。每进行一次相乘相加，信号移位寄存器循环移位一次。

U11-U14 完成 192 计数功能，保证使输入信号与本地序列进行 192 次相乘相加后，输出一次结果。

由于选择的相关器 U9 (STEL-2410) 为级联型相关器，每次只完成一次乘和一次加，所以部分时序和前述的原理部分有所不同。

请参阅图 10a、10b 所示，上述的固定相关器，其具体电路中的信号连接关系如下：

I[0:7] 连接到 U17、U18 的 2、5、11、14 脚，Q[0:7] 连接到 U28、U29 的 2、5、11、14 脚；MAINCLK 连接到 U11、U12 的 2 脚，U3、U6、U23、U26 的 2 脚，U9 的 14 脚；

PNI、PNQ 分别连接到 U9 的 17、55 脚；QDMP 是 U14A 的输出，连接到 U11、U12 的 1 脚，U17、U18、U28、U29 的 1 脚，U9 的 31、40 脚，U8 的 1 脚，最后输出；

U4、U7 的 18、19、20、21 组成 8 位数据总线，U24、U27 的 18、19、20、21 组成 8 位数据总线，分别连接到 U9 的 IDD[0:7] (1、3、4、5、6、7、8、9 脚) 和 QDD[0:7] (60、61、62、64、65、66、68 脚)；

U9 的 IOUT[0:7] (27、26、25、24、23、22、20、18 脚)，分别连接到 U8 的 B[4:11] (38、39、40、41、43、44、45、47 脚) 和 A[4:11] (55、54、53、52、51、50、49、48 脚)；

U9 的 QOUT[0:7] (44、45、46、47、48、49、50、51 脚)，分别连接到 U8 的 D[4:11] (111、110、109、108、107、105、104、103 脚) 和 C[4:11] (94、95、96、97、98、99、100、101 脚)；

数字门限电平 THRES[00:15] 连接于 U8 的 CAS[0:15] (82、81、80、79、78、77、76、75、74、73、71、70、69、68、67、66 脚)；

U8 的 S[8:15] (15、14、13、11、10、9、7、6 脚)，接输出 1XCOROUT[8:15]。

上述的固定相关器，其具体电路连接结构请参阅图 10a 所示，来自图



12b 中 VCD 环路的 MAINCK 信息连接至 U4 (74161) 的 2 脚, 而由 15 脚形成 PNCLK 输出, 同时, 该信号又分别连接至 U5A (7401) 的 1 脚、U2 和 U7 (74161) 的 2 脚及 U1 (74HC574) 的 11 脚, 并且该 U5A 的脚 2 与 U4 的脚相连接; U2 的 15 脚与 U7 的 7 脚相连接, U2 和 U7 的 14、13、12、11 脚形成的信号分别连接加至 U3 的 8、7、6、5、4、3、2、1 脚; U3 的 9、10、11、12、13、14、15、16、17 脚分别和 U1 的 2、3、4、5、6、7、8、9 脚相连接, U1 的 19、18 脚为分别指出 PNI 和 PNQ。

请参阅图 10b 所示, 输出信号 I (0:7) 连接到 U17 及 U18 的 2、5、11、14 脚, Q(0:7) 连接到 U28 及 U29 的 2、5、11、14 脚。来自图 12b 中 VCDQ 环路的 MAUNCK 信号连接到 U11 及 U12 的 2 脚、U3 及 U6、U23、U26 的 2 脚、以及 U9 的 14 脚; PNI、PNQ 分别连接到 U9 的 17 脚及 55 脚, U14A (T432) 的 3 脚形成 IQDMP 输出信号, 分别连接至 U11 及 U12 的 1 脚、U17 及 U18、U28、U29 的 1 脚、U9 的 31 脚和 40 脚、以及 U8 的 1 脚, 并输出至图 12c 中的 VCD 环路。

在上述的固定相关器中, 其中, U17、U18、U28、U29 的 4、7、9、12 脚为分别连接至 U3、U6、U23、U26 的 3、4、5、6 脚; U3、U6、U23、U26 的 22、21、20、19、18 脚分别连接至 U2、U5、U22、U25 的 2、3、4、5、6 脚, U2、U5、U22、U25 的 22、21、20、19、18 脚分别接至 U4、U7、U24、U27 的 2、3、4、5、6 脚; U11、U12 的 14、13、12、11 脚分别连接至 U13A (7420) 的 1、2、4、5 脚和 U19A 的 1 脚、U13B 的 9、10、13 脚, U19A (7404) 的 2 脚与 U13B 的 12 脚相连接, U13B 的 8 脚与 U14A (7838) 的 2 脚相连接, U13A 的 5 脚与 U14 (7432) 的 1 脚相连接。U4、U7 的 18、19、20、21 脚相连接组成为 8 位数据总线, U24、U27 的 18、19、20、21 脚相连接组成为 8 位数据总线, 并分别连接至 U9 的 IDD (0:7) 1、3、4、5、6、7、8、9 脚, 和 QDD (0:7) 60、61、62、63、64、65、66、68 脚。U9 的 18、20、21、22、23、24、25、26 脚分别连接到 U8 的 B (4:11) 38、39、40、41、43、44、45、47 脚和 A(4:11) 55、54、53、52、51、50、49、48 脚, U9 的 QOUT (0:7) 44、45、46、47、48、49、50、51 脚分别连接到 U8 的 D (4:11) 111、110、109、108、107、105、104、103 脚和 C (4:11) 94、95、96、97、98、99、100、101 脚。数字门限电平 THRES (00:15) 连接于 U8 的 CAS (0:15) 82、81、80、79、78、77、76、75、74、73、71、70、69、68、67、66 脚; U8 的 S (8:15) 15、14、13、11、10、9、7、6 脚, 连接输出 1XCOROUT(8:15)。

请参阅图 11a 移动相关器中的 P N 码产生电路及图 11b 移动相关器的电路所示, 上述的移动相关器, 其具体的电路如图中所示。在图 11b 中, 由相关器 U9 (STEL-2410)、平方加法器和门限比较器 U8 (TMC2249A)、由 U2-

U7 和 U22-U27 (7F433) FIFO 组成的并行信号移位寄存器, 以及由 U11-U14 组成的辅助电路所构成。

移动相关器的具体电路图 11a、图 11b 中的信号连接关系与图 10a、图 10b 中的信号连接关系基本相同, 其不同点如下: ID[0:7]代 I[0:7], QD[0:7]代 Q[0:7]; PNIM、PNQM 分别代 PNI、PNQ; U8 的 S[8:15] (15、14、13、11、10、9、7、6脚), 接输出 2-XCOROUT[8:15]。

移动相关器其具体电路如图 11a、图 11b 所示。请结合参阅图 4 所示, 两个移位寄存器分别由图 11b 中的 U2-U7 和 U22-U27 FIFO (74F433) 组成; 两个相关器在图 11b 中由单片累加器 STEL-2410 (U9) 以及 U11-U14 组成的辅助电路构成; PNI 序列和 PNQ 序列即为由图 11a 产生的 PNIM 和 PNQM 序列; 两个平方器、一个加法器及一个门限比较器在图 11b 中由单片 TMC2249A (U8) 承担。

在图 11b 中, 数字信号 ID[0:7]经 U17 和 U18 (74HC157) 选择器后, 进入 8 位并行移位寄存器 (U3 → U2 → U4, U6 → U5 → U7), 数字信号 QD[0:7]经 U28 和 U29 (74HC157) 选择器后, 进入 8 位并行移位寄存器 (U23 → U22 → U24, U26 → U25 → U27); 本地序列 PNIM 和 PNQM 送入相关器 U9, 在主时钟 MAINCLK 的作用下, 输入的数字信号和本地序列在相关器 U9 中相关, 相关结果 IOUT[0:7]和 QOUT[0:7]送入平方加法器 U8, 其输出 2XCOROUT[00:15]即为固定相关器的输出 Xoutm。

每输入一次采样点 ID[0:7]和 QD[0:7], U17-U18 和 U28-U29 选择器动作一次, 将采样点置入并行信号移位寄存器中, 然后进行一次相关运算, 即进行 192 次相乘相加运算。每进行一次相乘相加, 信号移位寄存器循环移位一次。

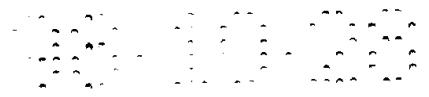
U11-U14 完成 192 计数功能, 保证使输入信号与本地序列进行 192 次相乘相加后, 输出一次结果。

由于选择的相关器 U9 (STEL-2410) 为级联型相关器, 每次只完成一次乘和一次加, 所以部分时序和前述的原理部分有所不同。

移动相关器与固定相关器的结构基本相同, 不同之处在于: 固定相关器的本地 PN 序列 (长度=64) 相对于输入信号而言是固定不动的, 即 PNI 和 PNQ 的移位时钟为 PNCLK (由图 10a 产生); 移动相关器的本地序列相对于输入信号而言是突发性快速移动的, 即 PNIM 和 PNQM 的移位时钟为 PNCLKM (由图 11a 产生)。

请参阅图 11a 所示, 该移动相关器的 PN 码产生电路, 其电路结构与图 10a 固定相关器中的 PN 码产生电路的电路信号连接关系基本相同, 其不同之处在于, U4 (74161) 的 15 脚连接至 U6A (7486) 的 1 脚, HIGHSPPEEDPULES 信号连接至 U6A (7486) 的 2 脚, 其输出端 3 脚形成 PNCLKM 信号, 并同时连接至 U2、U7 的 2 脚及 U1 的 11 脚。

请参阅图 11b 所示, 该移动相关器与图 10b 中的固定相关器的信号连接关系也基本相同, 其不同之处在于, 以 ID (0:7) 代替了 I (0:7), QD



(0:7)代替了Q(0:7); PNIM、PNQM分别代替了PNI、PNQ, U8中的S(8:15)15、14、13、11、10、9、7、6脚连接输出2XCOROUT(8:15)。

请参阅图12aVCO环路中的误差提取电路、图12bVCO环路中的压控电路及图12cVCO环路中的锁存脉冲产生电路所示,上述的VCO环路,其电路结构如图中所示。固定相关器的输出1XCOROUT(08:15)和移动相关器的输出2XCOROUT(08:15)作为图12a中电路的输入。脉冲T1、T3是相关峰值的左右两个时刻的脉冲,用于锁存输入信号,由图12c的电路产生。图12a中的U11、U12、U16、U17是8位并行锁存器,U9-U10和U14-U15分别是8位全加器。1DA[0:7]是1XCOROUT[08:15]在T1和T3两时刻相减的结果,2DA[0:7]是2XCOROUT[08:15]在T1和T3两时刻相减的结果,将它们分别送至图12b中的D/A转换器U1和U2(DAC08),转化为适合VCO(U5)(MC1648)的模拟信号。U3A、U3B、U4A构成加法器,将两路模拟信号相加,相加的结果送给由R13和C8组成的低通滤波器,滤波器的输出加到VCO的振荡器的频率控制变容二极管D1上,以改变VCO的输出频率,VCO的输出MAINCLK为切普时钟的192倍,IQDMP信号是MAINCLK的192分频,即为切普时钟。

VCO环路的具体电路,请参阅图12a、图12b、图12c所示,并请结合参阅图5所示,在图12a中,1XCOROUT[08:15](即Xoutf)及其反向信号,在T1(左)和T3(右)时刻锁入U11、U12的锁存器中,并在U9、U10构成的加法器中相加,1DA[0:7]实质上是固定相关器的输出在左右两时刻的误差;同样,2XCOROUT[08:15](即Xoutm)及其反向信号,在T1(左)和T3(右)时刻锁入U16、U17的锁存器中,并在U14、U15构成的加法器中相加,2DA[0:7]实质上是移动相关器的输出在左右两时刻的误差。这两个误差在图12b中经U1和U2(DAC08)转换为模拟信号,并在U3和U4A中相加,经R13和C8组成的低通滤波器后送VCO U5(MC1648)。上述电路实现了图5中的Xoutf和Xoutm相加,移入左中右寄存器,并将左右两寄存器值相减,再D/A转换,低通滤波,直至VCO控制等VCO环路全过程。

脉冲T1、T2、T3三个时刻的脉冲由图12c所示的电路产生,其是由U6(74161)、U7(7404)及U8(7432)逻辑电路构成。其输入信号是移动相关器的峰值信号2XCOROUT15和切普时钟IQDMP,即当移动相关器出现峰值时,记下第一、第二、第三个超过阈值的脉冲位置。

请参阅图12a所示,该VCO环路中的误差提取电路,其VCO环路的电路信号连接关系如下:T1接到U11、U16的11脚,T3接到U12、U17的11脚;1XCOROUT[08:15]连接到U11的D[0:7](2、3、4、5、6、7、8、9脚)、U7、U13的输入端;2XCOROUT[08:15]连接到U16的D[0:7](2、3、4、5、6、7、8、9脚)、U18、U13的输入端;U9和U10的输出S[1:4](4、1、13、10脚)组成8位数据总线,U14和U15的输出S[1:4]组成8位数据总线,分别连接到U1、U2的B[1:8](9、10、

11、12、13、14、15、16脚); U5的OUT(3脚)连接到输出MAINCLK。

该VCO环路的具体电路信号连接关系如下: T1连接到U11、U16的11脚, T3连接到U12、U17的11脚, 1XCOROUT(08:15)连接到U11的D(0:7)2、3、4、5、6、7、8、9脚, U13A-U13D、U7C-U7F的输入端1、3、5、9脚和5、9、11、13脚, 2XCORUT(08:15)连接到U16的D(0:7)2、3、4、5、6、7、8、9脚, U18C-U18F与U13E、U13F、U18A、U18B的输入端5、9、11、13脚和11、13、1、3脚, U13A-U13D的输入端2、3、4、8脚, U7C-U7F的输出端6、8、10、12脚分别连接到U12的D(0:7)2、3、4、5、6、7、8、9脚, U18C-U18F的输出端6、8、10、12脚, U13E、U13F、U18A、U18B的输出端10、12、2、4脚; 分别接到U17的D(0:7)2、3、4、5、6、7、8、9脚; U11的输出端19、18、17、16、15、14、13、12脚分别连接R1(0:7)和V1(0:7); 分别和U9、U10的5、3、14、12脚连接, U16的19、18、17、16、15、14、13、12脚连接到V1(0:7)分别和U14、U15的5、3、14、12脚相连, U12的19、18、17、16、15、14、13、12脚连接至R2(0:7), 分别和U9、U10的6、2、15、11脚相连接。U17的19、18、17、16、15、14、13、12脚连接至V2(0:7)分别和U14、U15的1、2、15、11脚相连接。U9、U14的9脚分别和U10、U15的7脚相连, U9和U10的输出S(1:4)4、1、13、10脚组成8位数据总线, U14、U15的输出S(1:4)组成8位数据总线, 分别连接至图12b中的U1、U2、B(1:8)9、10、11、12、13、14、15、16脚, U5的OUT3脚连接到输出MAINCLK。U3A的2脚和U1的8脚相连, U3A的1脚与U1的5脚相连, 并经电阻R8和U14A的输入端2脚相连, U3B的6、7脚和U2(DAC08)8、5脚相连, U3B的7脚经电阻R7和U4A的2脚相连, R9为U4A(AD847)的反馈电阻, U4A输出1脚经R13和D、C6相连, U5、12脚和L1、D1相连U5的10脚和L1、C5相连, C8、C6接于DR13起旁路作用, R12、R11串联分别接于U5的5脚和+5V电源起调整电压作用, C7接于U5的5脚起电源滤波作用。

请参阅图12c所示, U6(74161)的1、2分别和图11b输出的2XCOROUT15和IQDMP、U6的14脚与U7B的3脚、U8A的1脚相连, U6的13脚与U7A的11脚、U8B的5脚相连, U7B的4脚输出端分别与U8B、U8C的输入端4、9脚相连, U7A的输出端2脚分别与U8A、U8C的输入端2、10脚相连, U8A、U8B、U8C的输出端3、6、8脚输出信号分别为T1、T3分别连接至图12a的U11、U16的11脚和U12、U17的11脚。

请参阅图6、图13所示, 图中的U4为OSC, U3A为闸门, U6A为脉冲展宽器, U10A为触发器, U5为M计数器(这里M=16)。请参阅图13闸门电路所示, 上述的闸门电路, 其由振荡源U4(OSCB)、闸门U3A(74HC10)及M(M=16)计数器U5(74161)。移动相关器的峰值输出即符号比特2XCOR-

OUT15 经 U6A(74123)脉冲展宽后作为闸门的控制信号，M 计数器 U5(74161)的进位送入 U10A(D 触发器)产生封闭闸门的控制信号。闸门的输出高速脉冲 HIGHSPEEDPULSES 送给移动相关器。闸门电路的 U3A(74HC10)的时钟来自一个固定的振荡器 U4 (OSCB)， OSCB 的频率高于输入信号的采样速率，本实施例这里取 2 倍。

请参阅图 13 所示，该闸门环路，其具体的电路信号连接结构关系如下：2XCOROUT15 连接到 U6A 的 1 脚、U10A 的 4 脚；U4 的 OUT(3 脚)连接到 U3A 的 1 脚，U6A 的 Q(13 脚)连接到 U3A 的 2 脚，U10A 的 Q(5 脚)连接到 U3A 的 13 脚；U3A 的 12 脚连接到 U5 的 2 脚，同时送输出 HIGHSPEEDPULSES。即，由图 11b 移动相关器输出的 2XCOROUT15 信号连接到 U6A 的 1 脚和 U10A 的 4 脚，U4 的 OUT3 脚与 U3A 的 1 脚相连接，U6A 的 13 脚分别连接到 U3A 的 2 脚及 U5 的 1、9、7、10 脚，U10A 的 5 脚与 U3A 的 13 脚相连接，U5 的 15 脚与 U10A 的 3 脚相连接，U3A 的 12 脚与 U5 的 2 脚相连接，并同时输出 HIGHSPEEDPUZSES。

请参阅图 14 反馈支路所示，上述的反馈支路，由 U1-U4 的异或门所组成。反馈支路的具体电路如图 14 所示，请结合参阅图 7 所示，图中的两个一符号延迟器已在图 10a 的固定相关器电路中实现，故在图 14 中不再包含这两个延迟器。图 7 中的两个乘法器在图 14 中由 U1A-U1D、U2A-U2D、U3A-U3D、U4A-U4D 的异或门构成。

由于本地序列为二进制序列，故输入的数字信号与二进制序列的乘法运算可用异或运算代替。接收机中的下变频后的数字信号 I[0:7]和 Q[0:7]经一数据符号延迟后的信号 DELAYI[0:7](即图 10b 的 IDD[0:7])和 DELAYQ[0:7](即图 10b 的 QDD[0:7])分别与反馈数据比特 FEEDBACKI 和 FEEDBACKQ 按位异或，输出为 ID[0:7]和 QD[0:7]，作为移动相关器的信号输入，这里的 FEEDBACKI (I Data Out)和 FEEDBACKQ(Q Data Out)是数据解调器的输出。

该反馈支路的具体电路结构，可由 U1 - U4 的异或门所组成，其中 DELAYI (0 : 7) (即图 10b 中的 IDD (0 : 7)) 与 U1、U2 的 1、4、9、12 脚相连接，DELAYQ(0 : 7) (即图 10b 中的 QDD (0 : 7)) 与 U3、U4 的 1、4、9、12 脚相连接，分别与反馈信号 FEEDBACKI (与 U1、U2 的 5、10、13 脚相连接)按位异或，U1、U2 的 3、6、8、11 脚输出为 ID(0 : 7)，U3、U4 的 3、5、8、11 脚的输出为 QD(0 : 7)。

请参阅图 15 本发明的数据时钟产生电路所示，上述的 L 计数器，其是由 U1(7404)、U2(74161)、U7(74161)、U8(7420)及 U9(7432)逻辑电路构成。L 计数器的连接请参阅图 2 所示，该电路的输入时钟为切普时钟 IQDMP，最大计数值 L 为 192，输出为 CLKOUT，供给匹配滤波器和数据解调器。计数器在如图 3 所示的固定相关器的峰值时刻清零，1XCOROUT15 反相后作为计数器 U2、U7 的清除信号，L 计数器计满后自动回零。

该数据时钟产生电路，其具体电路连接结构如下：1XCOROUT15 连接 U1A

的 1 脚，U1A 的输出 2 脚分别与 U2、U3 的 15 脚和 U3 的 10 脚相连，U2 的 14、13、12、11 脚与 U4A 的 1、2、4、5 脚相连接，U3 的 12 脚与 U1B 的 3 脚相连接，U1B 的 4 脚与 U4B 的 12 脚相连接，U4A、U4B 的输出 6、8 脚分别与 U5A 的 1、2 脚相连接，U5A 的输出 3 脚与 U2、U3 的 9 脚相连接，U3 的 11 脚与 U4B 的 13 脚相连接，并同时输出 CLKOUT。

在本发明中，每切普比特采样三点，即相关器输入信号的采样率为切普速率的三倍。以前现有的技术方案是每切普比特采样二点，而本发明的技术方案其优点是跟踪更精细，PN 序列的同步更好，置入和清洗脉冲定位更准，可进一步提高数据解调性能。当捕获成功且时钟环路锁定后，在峰值位置的切普宽度内将会有三点相关值超过阈值，取左右两点幅度差值作为控制 VCO 的误差信号。当左边值大于右边值时，时钟相位向左调，否则向右调。

本地序列采用长度为 L 的固定寄存器的相关器，称之为固定相关器，每 L 个采样点出现一次峰值；本地序列采用长度为 L 的移位寄存器的相关器，称之为移动相关器，每 M 个采样点出现一次峰值， $1 < M < L$ 。这两个相关器的作用是不同的，前者用于 PN 序列的捕获及本地序列的置入和解调积分器的清洗脉冲，而后者主要是用于产生误差，实施对 VCO 的快速调节。

以下将本发明的工作原理及工作过程说明如下。经数据信息调制的伪随机序列信号（即接收机下变频后的同相和正交信号）送入本发明快速修正误差的切普时钟恢复装置，固定相关器的本地序列是不动的，只要输入信号中的伪随机序列与本地序列相同且位置对准，就会产生一次峰值，在最大值时刻产生一个复位脉冲，该脉冲将 L 计数器清零，将移动相关器的本地序列移位寄存器内容置成本地序列。固定相关器在峰值位置的误差作为初始调节切普时钟的误差，加入到移动相关器峰值位置的误差信号中。L 计数器是作为分频器，产生数据时钟。移动相关器的输出一旦超过阈值，就启动闸门电路输出 M 个高速脉冲，使本地序列前进 M 步，然后处于等待状态，输入序列不断移入，移动相关器的输出会再超过阈值，如此循环。移动相关器中的本地序列寄存器是循环移位寄存器，其最后输出在时钟作用下又返回第一级。本地序列与输入序列的这种互动机构就象两个人赛跑，本地序列先跑 M 步处于等候状态，等输入序列到达后，触动本地序列又跑 M 步，一直继续下去，两者每接近一次，就产生一次切普时钟的误差，控制 VCO 调整相位，M 越小，调整机会就越多。该原理及技术构思正是本发明技术方案的核心所在。

由于输入序列中含有调制的数据信息，其有时会使移动相关器在追上本地序列时不能产生峰值输出，而造成漏检。究其原因是因为数据信息与本地序列的一个周期不同步，使相关值发生变化。而本发明的数据反馈支路则有效地解决了此问题。由于输出数据在时间上比输入序列晚一数据符号，所以将输入序列延迟一数据符号后再与输出数据相乘，就去除了输入序列中的数据信息，再送入移动相关器，与本地的移动序列作相关运算。

请参阅图 1、图 2、图 9 所示，本发明可用于以直接序列扩频技术为通

信手段的 BPSK / QPSK 接收机中，其典型接法如图 9 所示。本发明快速修正误差的切普时钟恢复装置作为直接序列扩频通信 BPSK/QPSK 接收机中的重要环节，与接收机中的其它许多环节一起构成系统，可取代原有接收机中的切普时钟恢复和数据时钟恢复这两部分，其将原有接收机中下变频及 A/D 转换后的同相路信号 I 和正交路信号 Q 送入本装置，作为固定相关器的输入信号；将数据输出 Data out（注：在 BPSK 方式，只有一路输出；而在 QPSK 方式，有两路输出）也作为本装置的输入，I 和 Q 经一数据比特延迟后分别与 Data out 信号相乘，其结果 Id 和 Qd 送入移动相关器；本装置的 Chip Clock 输出作为切普时钟送给接收机，取代原有的切普时钟；本装置的 CLK Out 作为数据时钟输出取代原有的数据时钟。

以下将本发明的应用及其功效说明如下。本发明可用于以直接序列扩频技术为通信手段的 BPSK / QPSK 接收机中，提高对 PN 序列的跟踪速度，使恢复出的时钟同步更好，从而使数据信息的误码率降低。其可广泛地应用于点对点扩频通信机、点对多点扩频通信系统及 CDMA 移动通信系统等。

由于扩频通信是近几年迅速发展起来的通信手段，将越来越多地取代其它通信体制，因此可将本发明快速修正误差的切普时钟恢复装置制成专门芯片，其应用范围更为广泛，意义更为重大。

以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制，凡是依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本发明技术方案的范围。

说明书附图

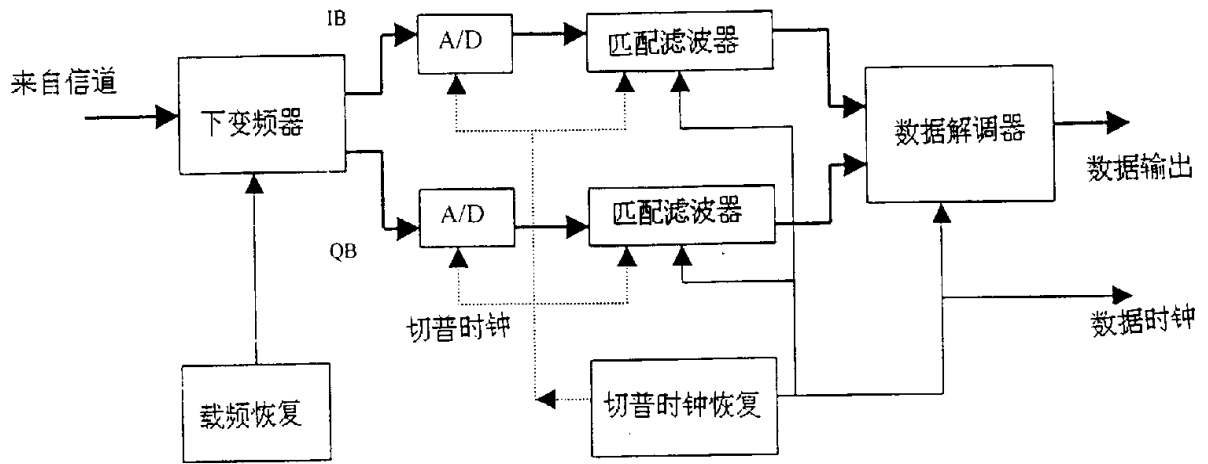


图 1

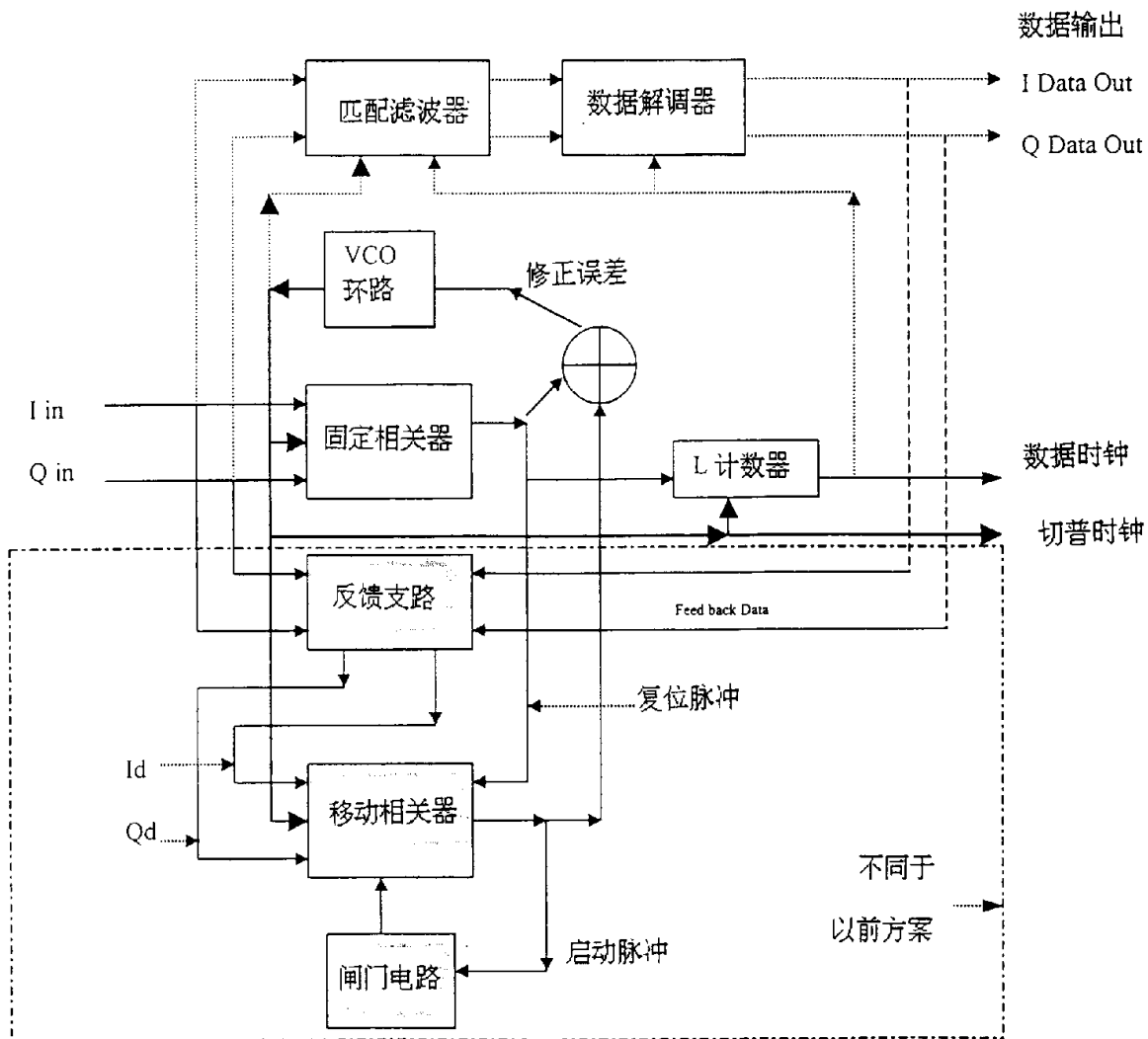


图 2

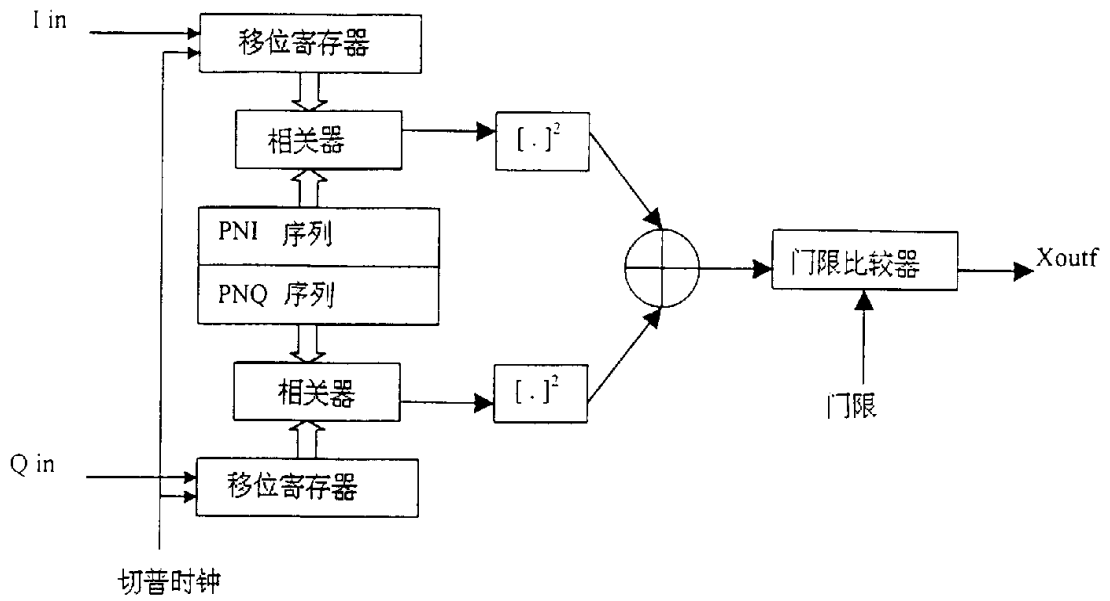


图 3

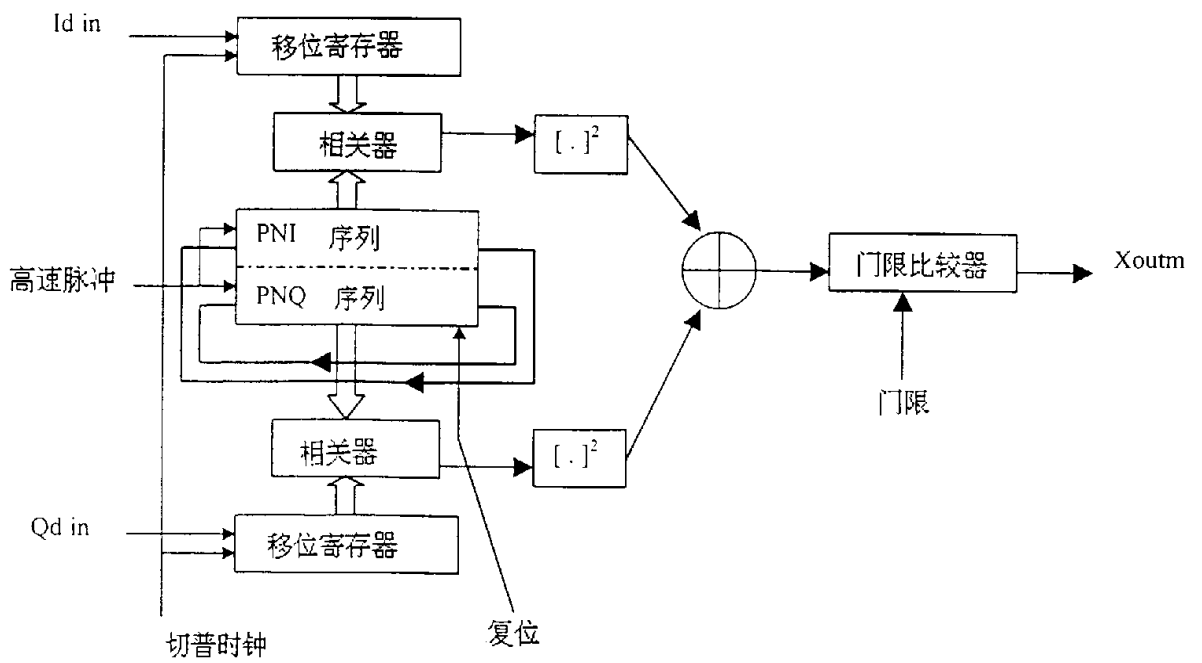


图 4

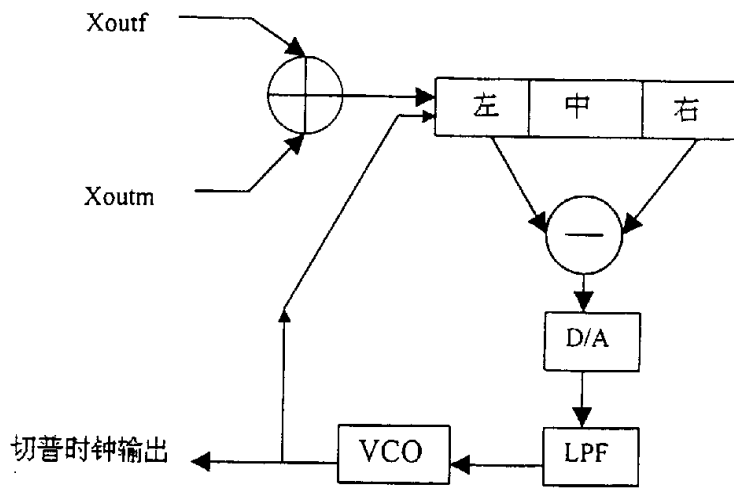


图 5

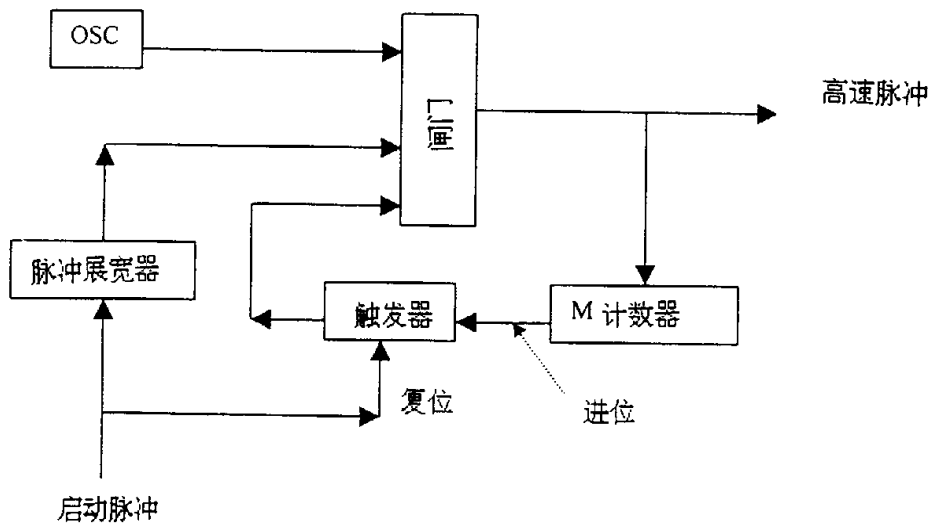


图 6

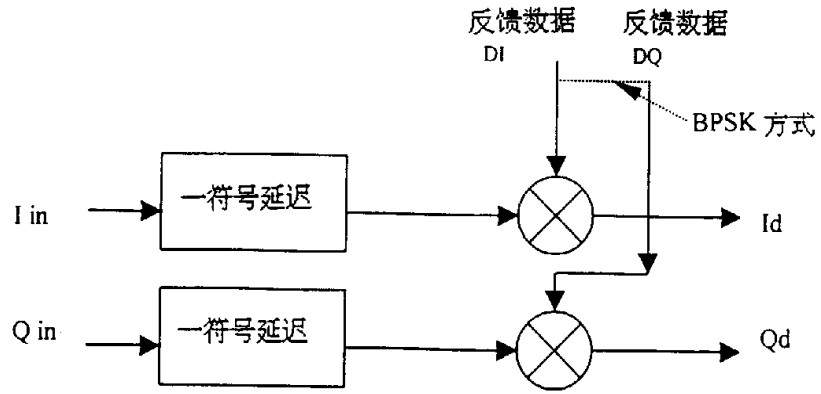


图 7

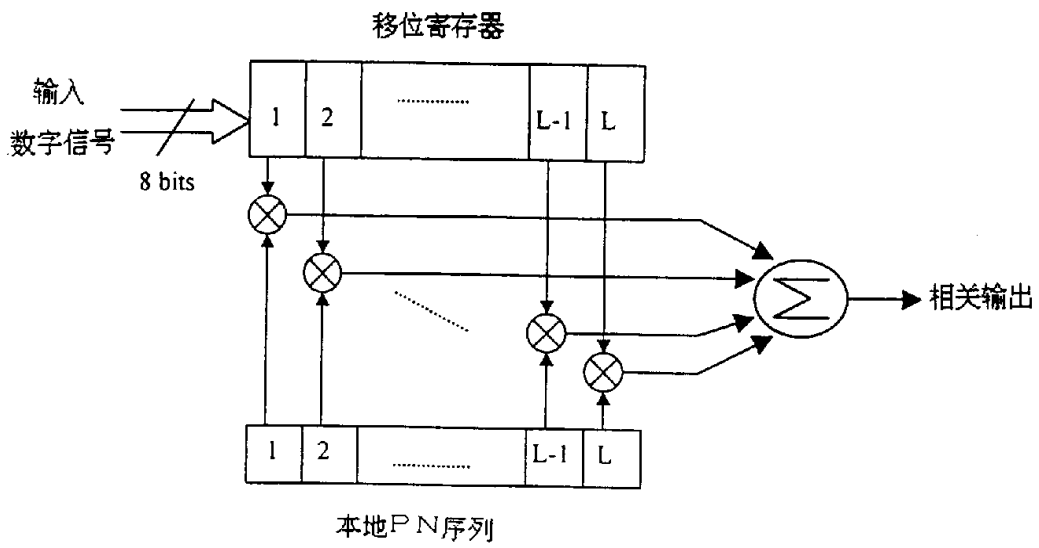


图 8

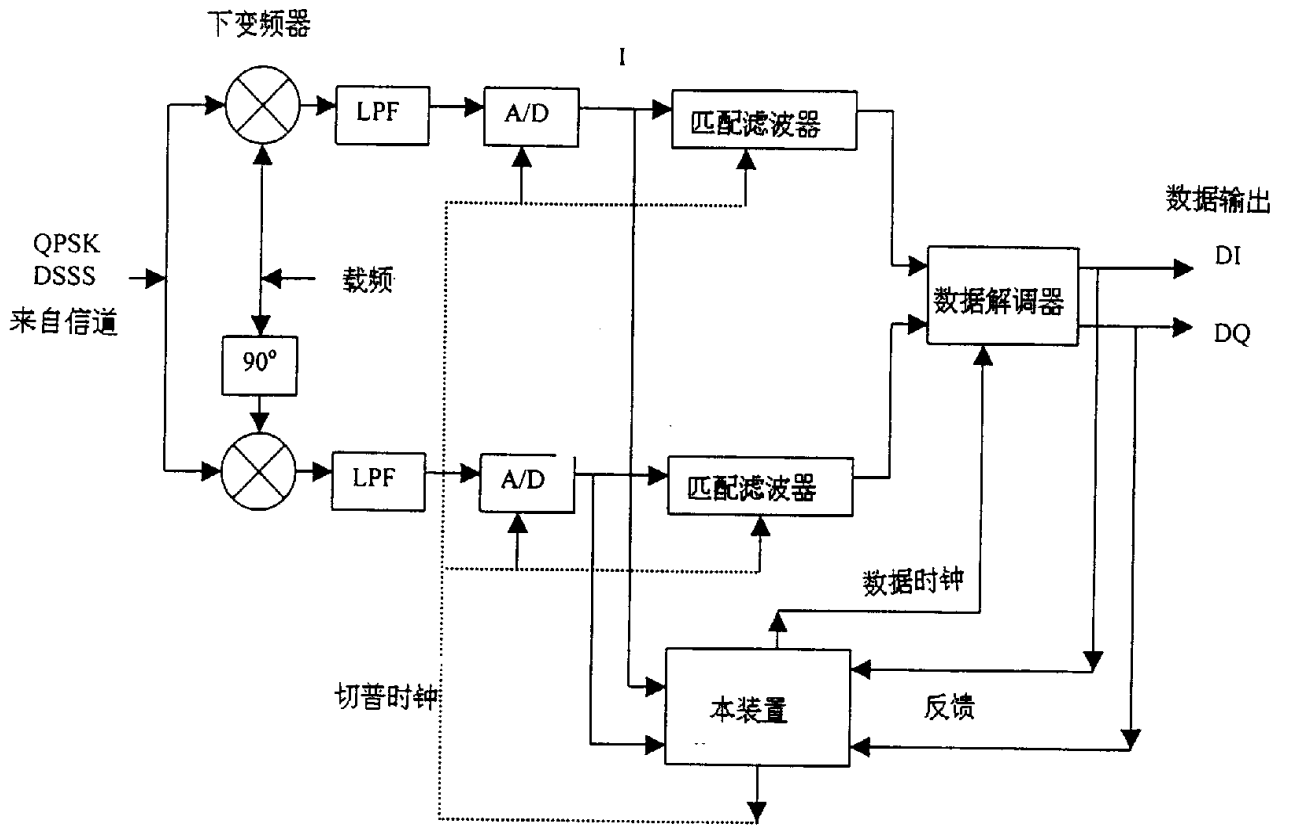


图9

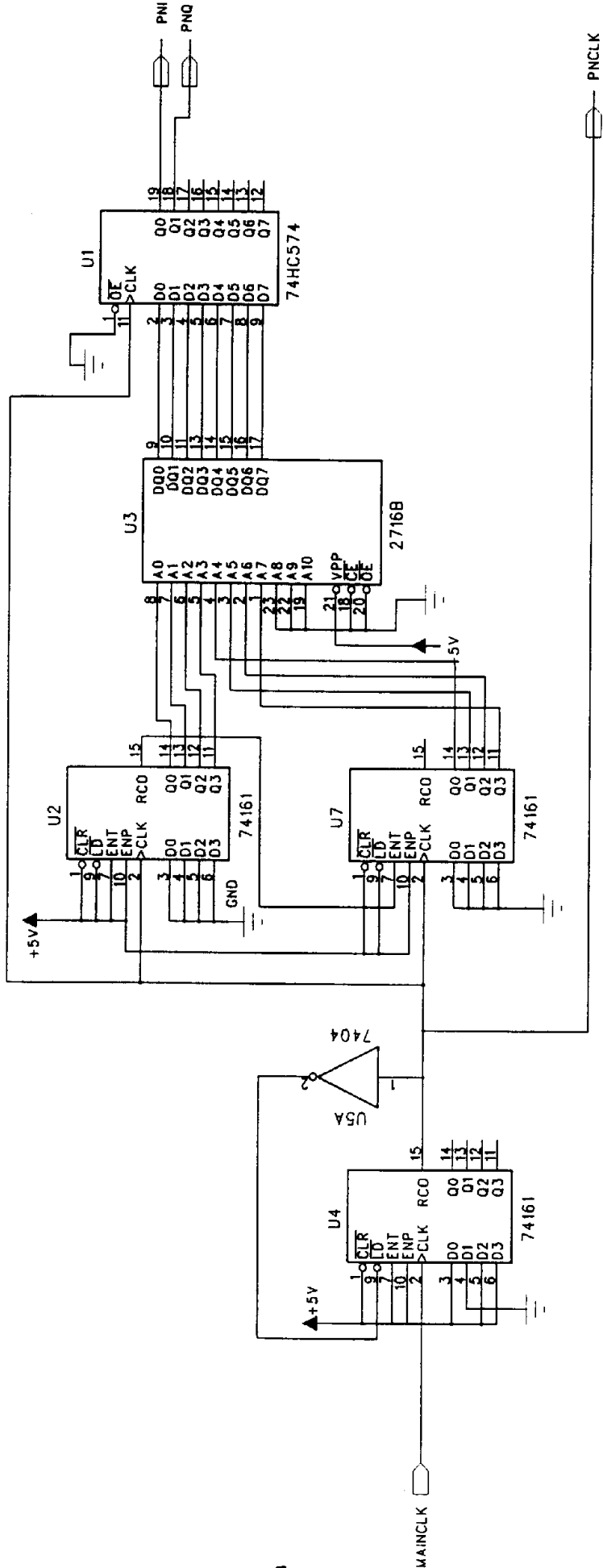


图 10(a)

3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3

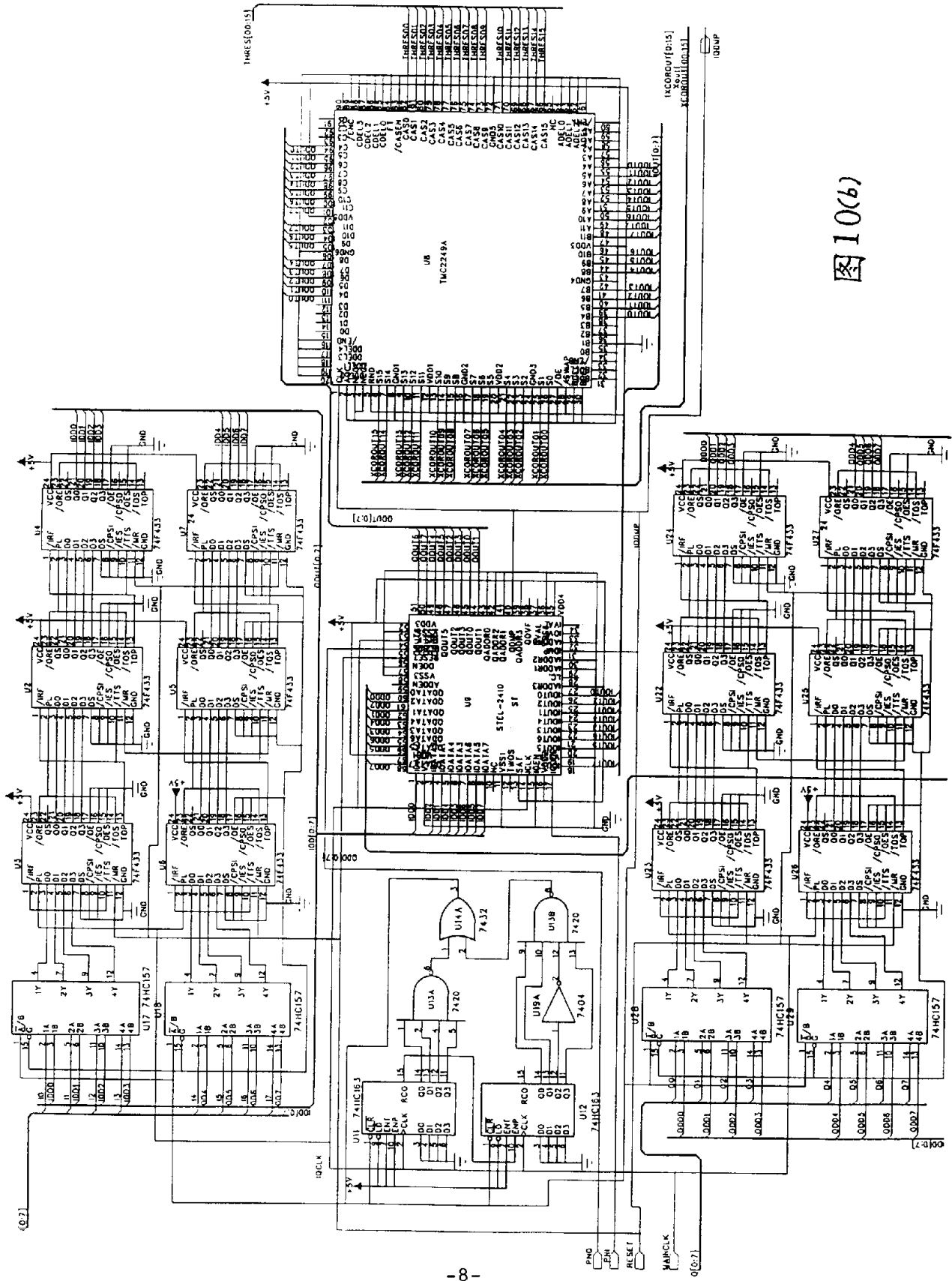


图 10(b)

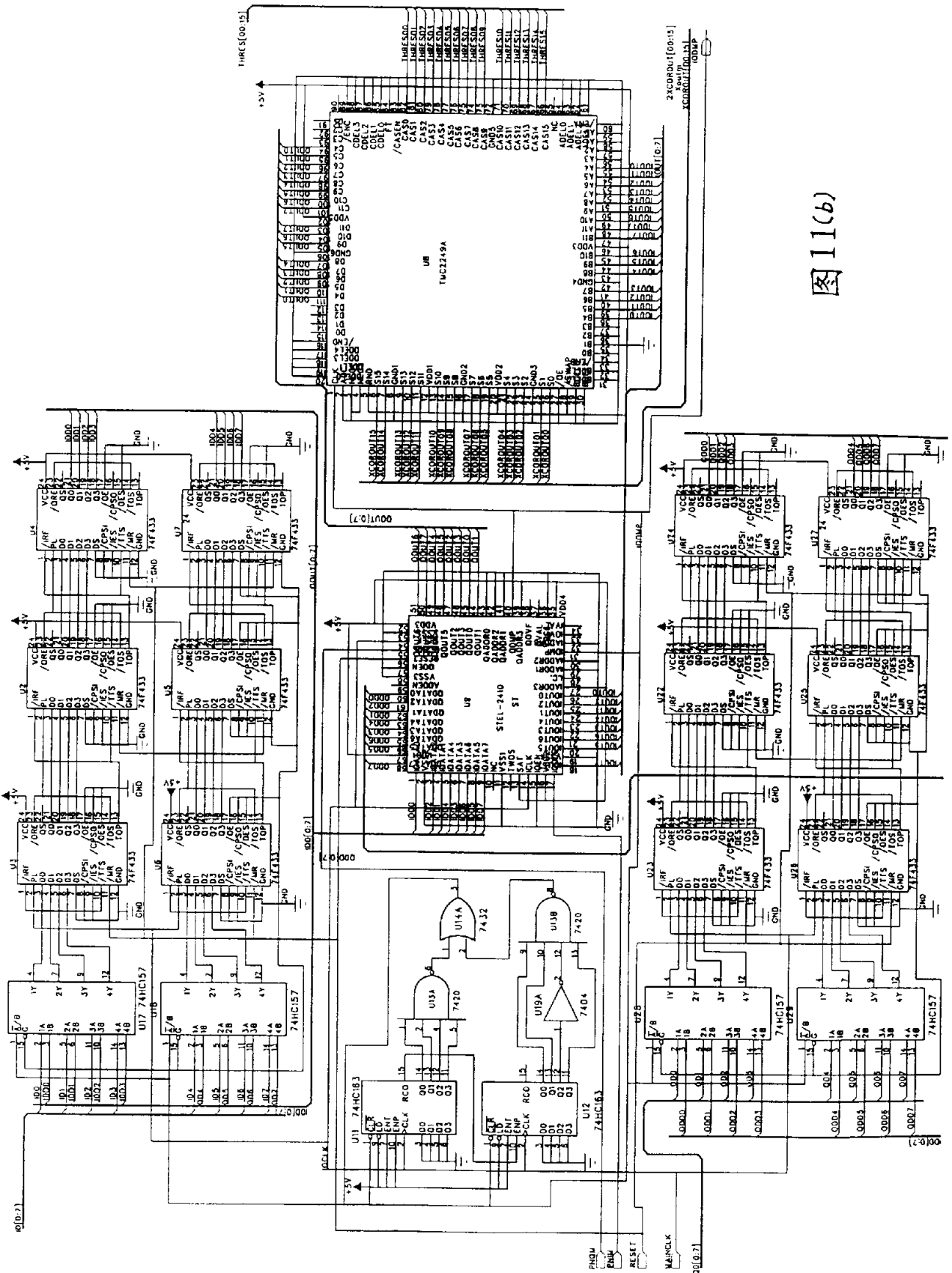


图 11(b)

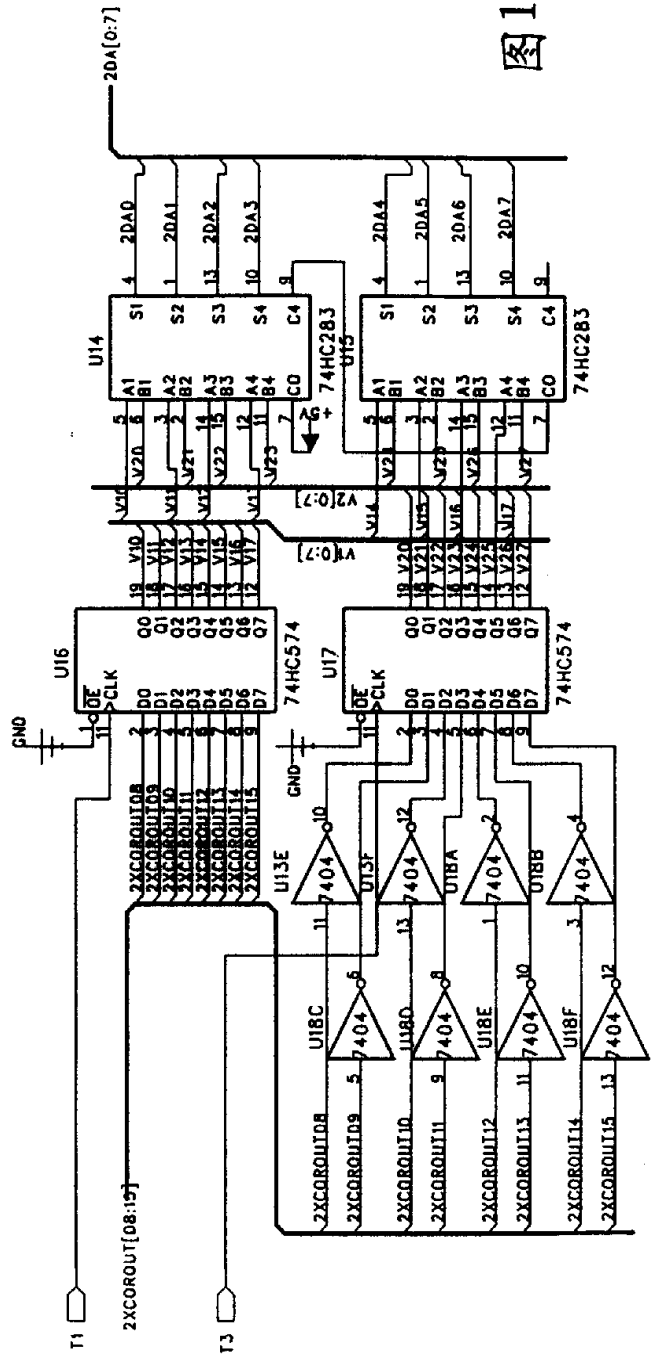
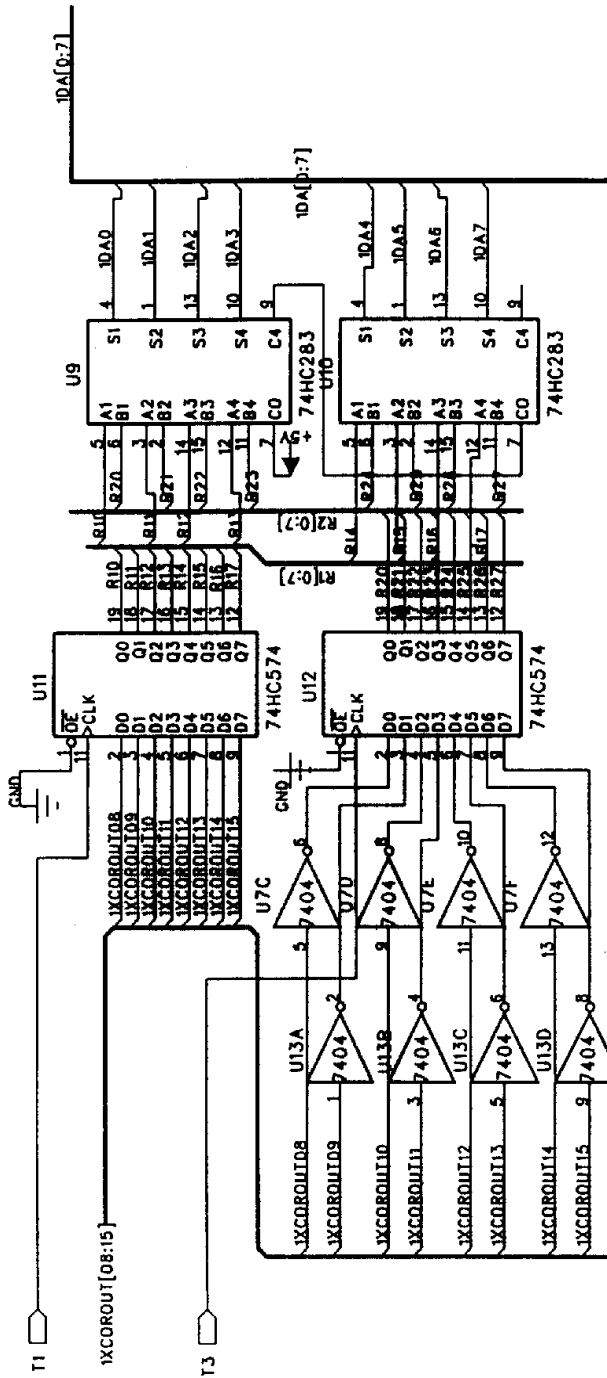


图 12(a)

10A[0:7]

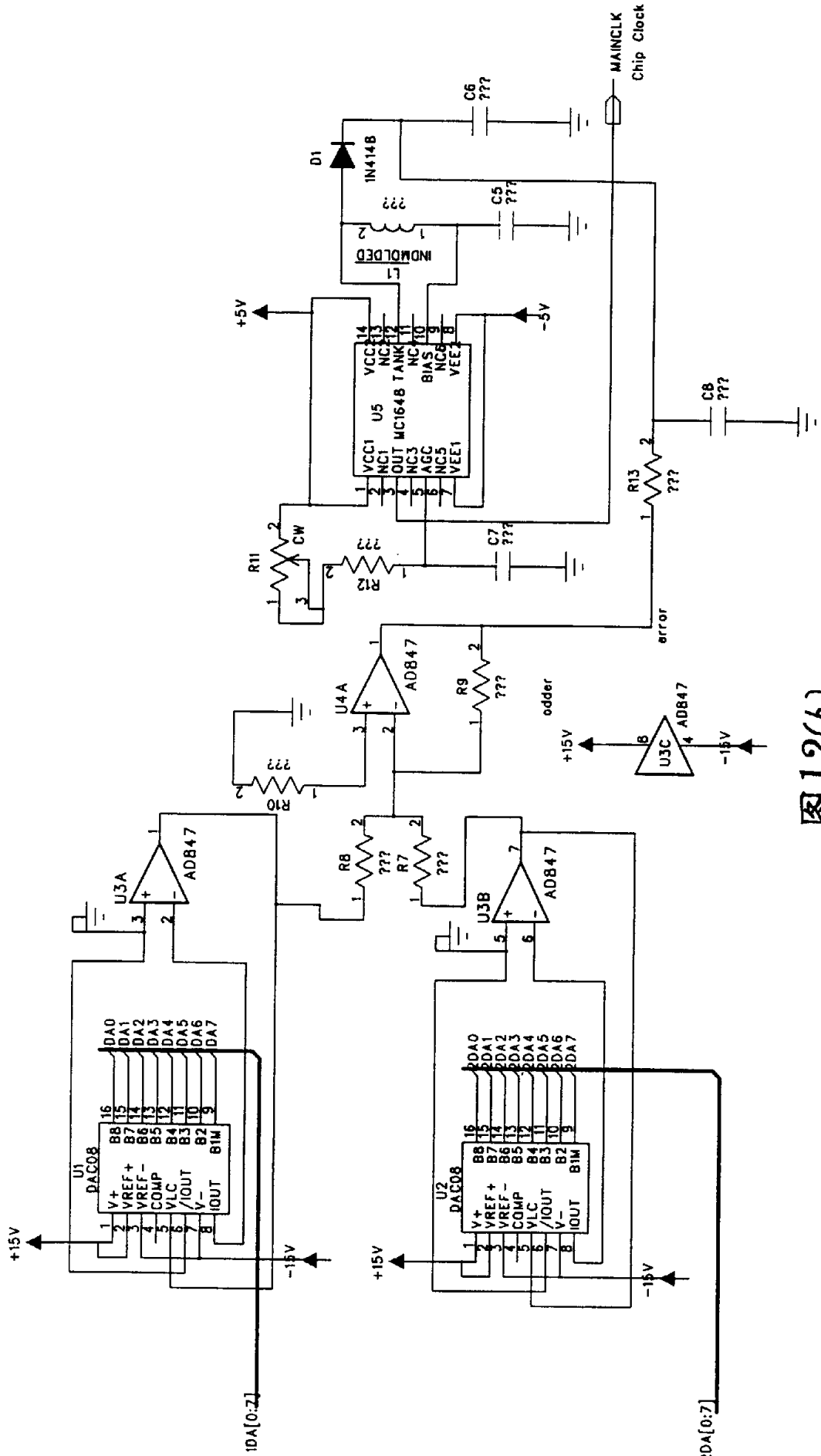


图 12(b)

1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
10	10
11	11
12	12
13	13
14	14
15	15
16	16
17	17
18	18
19	19
20	20
21	21
22	22
23	23
24	24
25	25
26	26
27	27
28	28
29	29
30	30
31	31
32	32
33	33
34	34
35	35
36	36
37	37
38	38
39	39
40	40
41	41
42	42
43	43
44	44
45	45
46	46
47	47
48	48
49	49
50	50

3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3
3 3 3 3

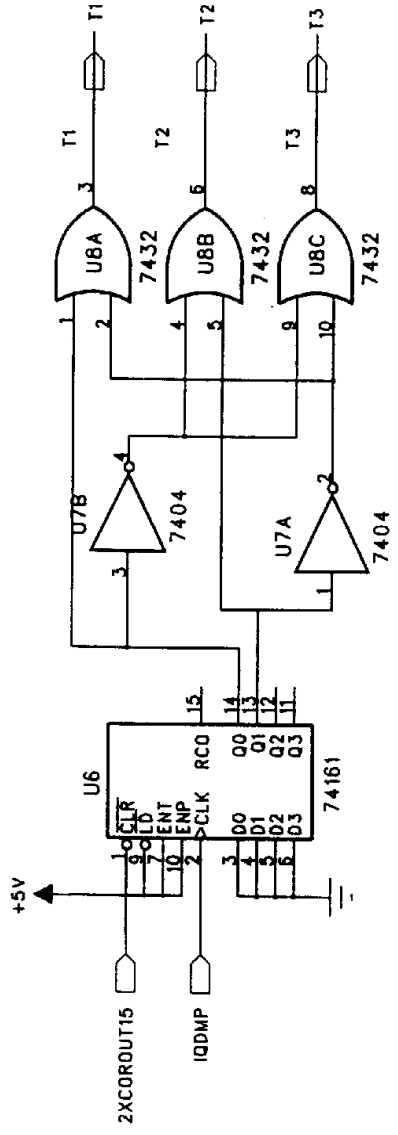


图 12(c)

3 3 3 3 3 3 3 3
3 3 3 3 3 3 3 3
3 3 3 3 3 3 3 3
3 3 3 3 3 3 3 3
3 3 3 3 3 3 3 3

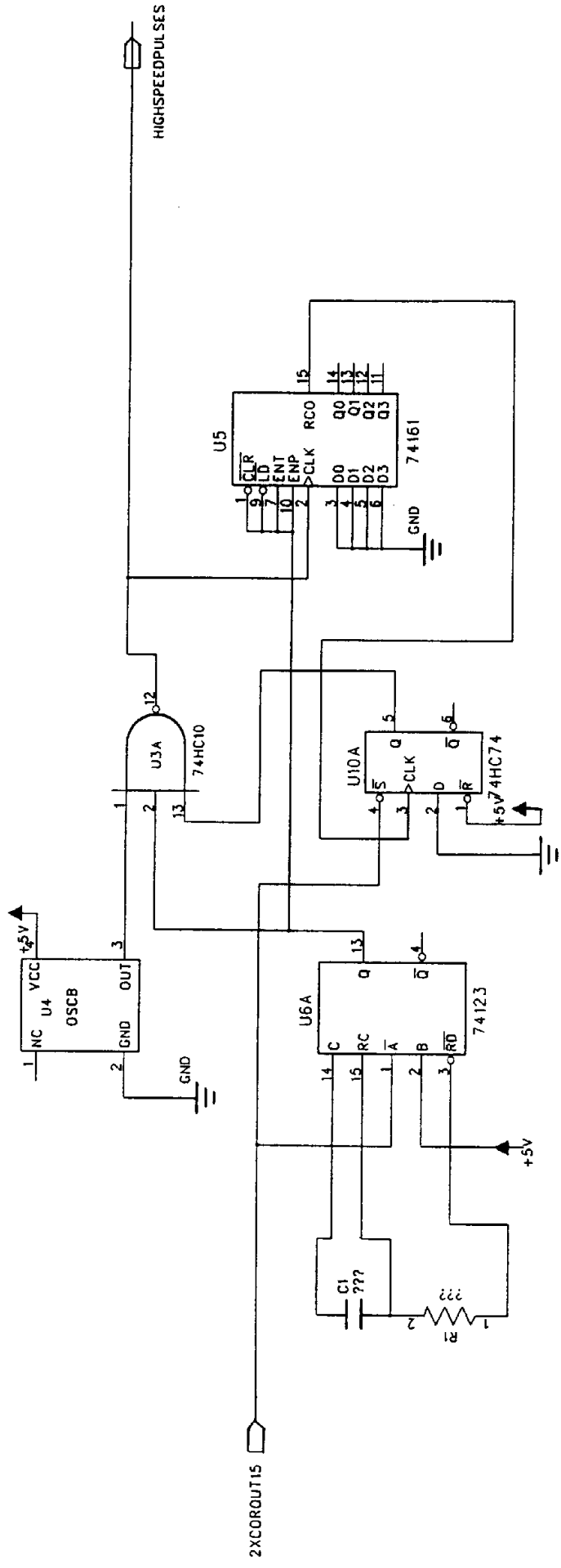


图13

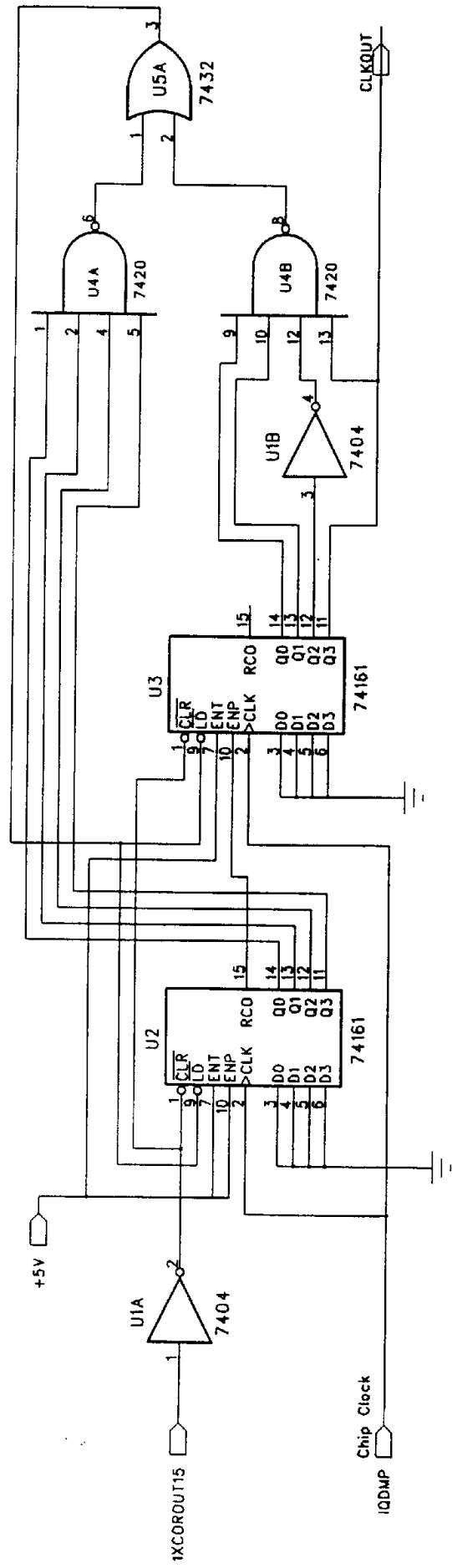


图15

1 1 1
 2 2 2
 3 3 3
 4 4 4
 5 5 5
 6 6 6
 7 7 7
 8 8 8
 9 9 9
 0 0 0