[논 문] 한국재료학회지
Kor. J. Mater. Res.
Vol. 24, No. 4 (2014)
http://dx.doi.org/10.3740/MRSK.2014.24.4.186

Cu Seed Layer의 열처리에 따른 전해동도금 전착속도 개선

권병국[1] · 신동명[2] · 김형국[1,2†] · 황윤회[1,2†]
[1]부산대학교 차세대전자기판회로학과, [2]부산대학교 나노소재공학과

Improvement of Electrodeposition Rate of Cu Layer by Heat Treatment of Electroless Cu Seed Layer

Byungkoog Kwon[1], Dong-Myeong Shin[2], Hyung Kook Kim[1,2†] and Yoon-Hwae Hwang[1,2†]
[1]Department of Advanced Circuit Interconnection, Pusan National University, Busan 609-735, Korea
[2]Department of Nanomaterials Engineering, & BK21 PLUS Nano Convergence Technology Division, Pusan National University, Miryang 627-706, Korea

(2013년 12월 27일 접수: 2014년 4월 3일 최종수정: 2014년 4월 4일 채택)

Abstract A thin Cu seed layer for electroplating has been employed for decades in the miniaturization and integration of printed circuit board (PCB), however many problems are still caused by the thin Cu seed layer, e.g., open circuit faults in PCB, dimple defects, low conductivity, and etc. Here, we studied the effect of heat treatment of the thin Cu seed layer on the deposition rate of electroplated Cu. We investigated the heat-treatment effect on the crystallite size, morphology, electrical properties, and electrodeposition thickness by X-ray diffraction (XRD), atomic force microscope (AFM), four point probe (FPP), and scanning electron microscope (SEM) measurements, respectively. The results showed that post heat treatment of the thin Cu seed layer could improve surface roughness as well as electrical conductivity. Moreover, the deposition rate of electroplated Cu was improved about 148% by heat treatment of the Cu seed layer, indicating that the enhanced electrical conductivity and surface roughness accelerated the formation of Cu nuclei during electroplating. We also confirmed that the electrodeposition rate in the via filling process was also accelerated by heat-treating the Cu seed layer.

Key words Cu seed layer, electrodeposition, electroless plating, electroplating.

1. 서 론

최근 전자산업의 경향은 고성능, 소형화이다. 각종 스마트폰 및 태블릿 PC와 같은 전자기기들은 두께는 얇아지고 무게는 가벼워지는 동시에 고성능화가 이루어지고 있는 추세다. 이에 따라 패키징 기술은 더욱 진보하여 소형화와 고집적화가 동시에 이루어지고 있다.[1)] 또한 전자기기의 배선역할을 하는 인쇄회로 기판 역시 고밀도, 다층화가 되면서 회로선폭의 미세화와 stacked via, 임베디드 기판 등 지속적인 기술개발이 진행 중이다. 이 중에서 회로선폭과 회로선과의 간격의 합을 뜻하는 피치(pitch)는 현재 21 μm 수준이며 향후에는 12 μm 이하까지 연구 중에 있다.[2)] 피치가 더욱 낮은 수준이 되기 위해서는 공정 중에 측면 식각(side etching)이 최소화가 이루어져야 하며,[3)] 식각량이 최소화되기 위해서는 seed layer 역할을 하는 무전해 동도금 두께를 줄여야 한다. 하지만, 무전해 동도금의 두께가 너무 얇으면 via hole 바닥 부위의 두께가 너무 얇거나 도금이 되지 않아서 전기적으로 연결이 되지 않는 open 불량을 야기할 수 있다. 또한 seed layer의 전기전도도 감소로 인한 via hole filling 도금이 되지 않는 딤플(dimple) 불량을 야기할 수 있다.[4)] 이러한 불량을 개선하기 위해서는 얇아진 Cu

†Corresponding author
E-Mail : yhwang@pusan.ac.kr (Y.-H. Hwang, Pusan Nat'l Univ.)
E-Mail : hkkim@pusan.ac.kr (H. K. Kim, Pusan Nat'l Univ.)

© Materials Research Society of Korea, All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

seed layer의 물성변화를 살펴볼 필요가 있다. 구리 도금의 두께에 따른 미세조직, 표면거칠기, 전기전도도 등 물성 변화는 다수의 논문에서 연구되었지만 도금이 되는 기판의 재질이 실리콘 또는 유리 기판을 바탕으로 연구되었다. 하지만, 기판의 재료에 따라 도금된 구리의 결정 성장 방향이 변화하며 이로 인해 강도가 변하게 된다.[5] 따라서 실제 인쇄회로기판 공정에서 사용되는 resin 계열의 기판에 무전해 동도금 특성 변화를 살펴볼 필요가 있다.

본 논문에서는 삼성전기(주)에서 제공 받은 resin기판 위에 무전해 동도금으로 Cu seed layer를 형성하고 열처리를 통해서 온도에 따른 구리 박막의 물성변화와 이에 따른 전해 동도금의 두께 양상에 대하여 살펴보았다. 그리고 via fill 도금을 통해 딤플 불량 개선 여부 또한 살펴보았다.

2. 실험 방법

2.1 무전해 동도금

본 실험에 사용된 기판은 삼성전기(주) ACI 사업부의 BGA(Ball Grid Array)기판을 에칭액으로 구리를 제거한 resin기판을 사용하였다. Resin기판은 에폭시 폴리머에 종횡방향 강성을 더하기 위해 유리섬유를 넣은 것이다. 무전해 동도금의 진행은 우선, resin기판을 1 % H_2SO_4 용액에 10분간 침지시킨 뒤 증류수로 세척하였다. 다음으로 도금 전처리 용액을 통해서 촉매를 흡착시킨 뒤 무전해 도금액을 통해 구리도금 전착층을 형성하였다. 도금은 5, 10, 15분 동안 하였고 각각의 시편의 Cu seed layer 두께를 측정하여 목표치인 0.6 μm 두께에 근접한 시간을 정하도록 하였다. 시편 크기는 1 cm^2, 무전해 도금액의 pH는 12~12.5 이며 도금액 온도는 항온수조를 사용하여 60 ± 1 ºC를 유지하였다. 무전해 동도금의 과정은 Table 1에 나타내었다. 무전해 도금은 자기 촉매화 표면이 반드시 필요하기 때문에 전처리 용액의 제조를 필요로 한다. 전처리는 Pd 과 Sn 콜로이드 용액에 10분간 침지하였으며 처리 후 남아 있는 Sn 잔류물을 제거하기 위해 1M의 HCl에 3분간 산세하였다. 전처리 용액의 조성은 Table 2에 나타내었다. 무전해 동도금액은 구리 이온 공급제, 환원제, 안정제, 착화제로 구성되어 있으며 착화제는 구리 이온 용액의 몰수의 3배로 하여 구리 이온에 충분히 착화제를 제공하여 함께 반응할 수 있게 하였다. 도금액의 조성은 아래 Table 3에 나타내었다.

Table 1. Experimental process for electroless copper plating.

Step	Process	Solution concentration	Time	Temp.
1	Cleaning	5% H_2SO_4	15 min	R.T.
2	Rinse and dry	DI water	5 min	R.T.
3	Activator	$PdCl_4$, $SnCl_2$, HCl	10 min	R.T.
4	Rinse	DI water	5 min	R.T.
5	Reduction	1 M HCl	3 min	R.T.
6	Rinse	DI water	5 min	R.T.
7	Electroless copper	$CuSO_4$, EDTA, HCHO, etc.	5 min	60 ± 1 ºC
8	Rinse and dry	DI water and air blower	10 min	R.T.

R.T. = room temperature.

Table 2. Chemical composition of pre-treatment solution.

Composition	Component	Concentration
Deoxidizing chemical roughness	HF	10 g/L
Sensitizing surface Nucleation	$SnCl_2 \cdot 2H_2O$	17.5 g/L
Activated surface seed layer for autocatalytic	$PdCl_2$	0.25 g/L
Activated surface seed layer for autocatalytic	HCl	

Table 3. Experimental conditions for electroless copper plating.

Composition	Component	Concentration
Copper Source	$CuSO_4 \cdot 5H_2O$	0.04M
Complexing agent	Ethyleneediaminetetra acetic Acid (EDTA)	0.12M
Reducing agent	Formaldehyde (HCHO)	10 mL/L
Additives	2,2 Dipyridyl	10 ppm
pH adjust	NaOH	Varied
Reaction control	Temperature	60 ± 1 ºC
Redox potential	pH	12.5

2.2 Cu seed layer 물성 측정 및 분석

Cu seed layer의 두께 측정을 위해서 FE-SEM을 이용하여 무전해동도금을 진행한 각 시편의 측면 이미지를 구하였다. 그 후 각각의 시편에 따라서 Furnace를 이용하여 공기분위기에서 열처리를 진행하였다. 온도에 따른 Cu seed layer의 미세조직 및 특성변화를 살펴보기 위하여 100, 120, 150, 180, 200 ºC의 조건에서 5분간 열처리를 진행하였으며 열처리 이후에는 공기 중에서 서냉하였다. Cu seed layer의 결정립 크기를 판단하기 위하여 XRD장비를 사용하였다. 2θ scan 범위는 35~60º이며 Generator Setting을 30 mA, 40 kV로 진행하였다. XRD 분석을 통해 구해진 데이터 중 Cu(111) peak의 FWHM (Full Width Half Maximum)을 Scherrer equation에 대입하여 결정 크기를 산출하였다. 본 실험에서 측정할 Cu seed layer는 박막이기 때문에 표면에서의 전자 산란 또한 전기전도도에 영향을 미친다. 표면의 거칠기가 작을수록 전기전도성은 향상되며 그 위에 쌓이는 다른 물질

의 결정성 또한 향상되므로 Cu seed layer의 표면을 관찰하는 과정이 필요했다. 따라서 표면 관찰에 많이 사용되는 AFM 기기를 이용하여 온도에 따른 열처리를 진행한 시편의 표면거칠기를 측정하였다. 열처리된 시편의 전기전도도 측정을 위해 4-point probe를 이용하여 온도에 따른 열처리를 진행한 시편의 면저항을 측정하였다.

2.3 전해 동도금

전해 동도금의 Anode는 백금전극을 사용하였고 도금액은 삼성전기(주) ACI사업부에서 공급받은 전해 동도금액 Macdermid VF100 + VF300을 사용하였다. 도금은 상온에서 4시간 진행하였으며 교반속도는 150 rpm, 전류밀도는 DC 15 mA/cm^2 을 유지하였다. 도금이 끝난 후에는 증류수로 3회 이상 씻었으며 후에는 air dry 처리를 하였다. 전해 동도금의 두께측정을 위해서 시편의 측면을 SEM 장비를 이용하여 관찰하였다.

2.4 Via fill 도금

Cu seed layer의 열처리를 통한 전착속도와 딤플 도금불량의 개선 여부 사이의 상관관계를 살펴보기 위해 via fill 도금을 했다. 시편은 삼성전기에서 제공받은 via hole이 생성된 시료를 이용하였으며, 에칭과 전처리 과정을 거쳐 무전해 동도금 통해 Cu seed layer를 형성하였다. 그리고 각 시편별 열처리를 진행 후 앞선 전해 동도금과 같은 조건에서 도금을 하였다. 최종적인 시료는 측면 SEM 측정을 통해 via fill 도금상태를 관찰하였다.

3. 결과 및 고찰

3.1 열처리 온도에 따른 Cu seed layer 결정 크기 분석

Fig. 1은 resin 기판 위에 시간 변화에 따라 무전해 도금법으로 형성시킨 Cu seed layer의 주사전자현미경(SEM) 결과이다. 도금 시간을 5분과 10분으로 시행했을 때, Cu seed layer의 두께는 각각 0.6 μm 와 2 μm 이다. 앞서 서론에서 언급한 것과 같이 향후 공정에 적용 시 식각량을 줄이기 위해, 이후 실험에서는 무전해 동도금을 5분간 수행하여 얇은 Cu seed layer를 형성하였다. Fig. 2은 형성된 Cu seed layer의 열처리 온도에 따른 표면 양상을 나타내는 SEM 결과이다. 온도가 증가함에 따라 결정립의 크기는 약 60 nm에서 100 nm으로 미세하게 증가하였으며, seed layer가 더 조밀해지는 것을 관찰 할 수 있었다. Fig 3(a)는 X-ray 회절 분석(XRD) 결과이며, 43° 와 50° 부근에서 (111)와 (200) peak을 관찰할 수 있었다. Resin 기판 위에 무전해 도금된 Cu seed layer는 (111) 방향으로 주로 성장하였으며, 결정의 크기는 아래에 나타낸 Scherrer equation을 이용해 계산하였다.

$$D = \frac{K \cdot \lambda}{\beta \cdot \cos\theta} \quad (1)$$

D는 결정 크기, λ는 입사 X-ray의 파장, B는 FWHM, 그리고 θ는 Bragg 회절각을 나타낸다. 열처리 온도에 따른 Cu seed layer의 결정크기를 Fig. 3(b)에 나타내었으며, 열처리 온도가 증가함에 따라서 결정 사이즈가 선형적으로 증가하였다. 열처리에 의해 결정의 크기가 약 1.09 배에서 약 1. 6 배 증가하였으며, 특히 200 ℃에서 열처리를 한 Cu seed layer는 상온에서 열처리한 것보다 약 1.6 배 증가하였다. 이 결과는 플라스틱 기판으로 인해 낮은 열처리 온도로 제한되지만, 100 ℃ ~ 200 ℃의 낮은 열처리온도 조건에서도 결정의 크기가 크게 증가함을 나타낸다.

3.2 열처리 온도에 따른 Cu seed layer의 표면 거칠기 및 면저항 분석

Fig. 4는 Cu seed layer의 열처리 온도에 따른 원자현미경(AFM)의 결과이며, 열처리 온도가 증가할 수록 표면 거칠기가 감소함을 확인 할 수 있다. 원자현미경의 결과로부터 계산된 표면 거칠기를 Fig. 5에 나타냈으며, 열

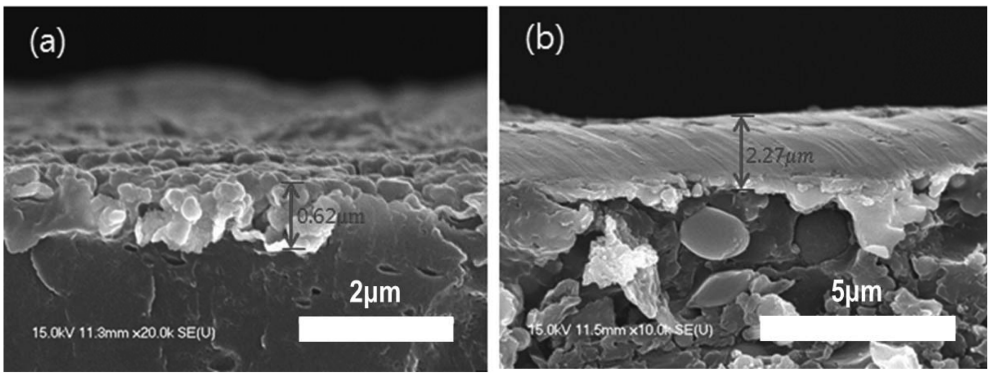

Fig. 1. The cross-sectional SEM images of Cu seed layer with different electroless plating time: (a) 5min, (b) 10 min.

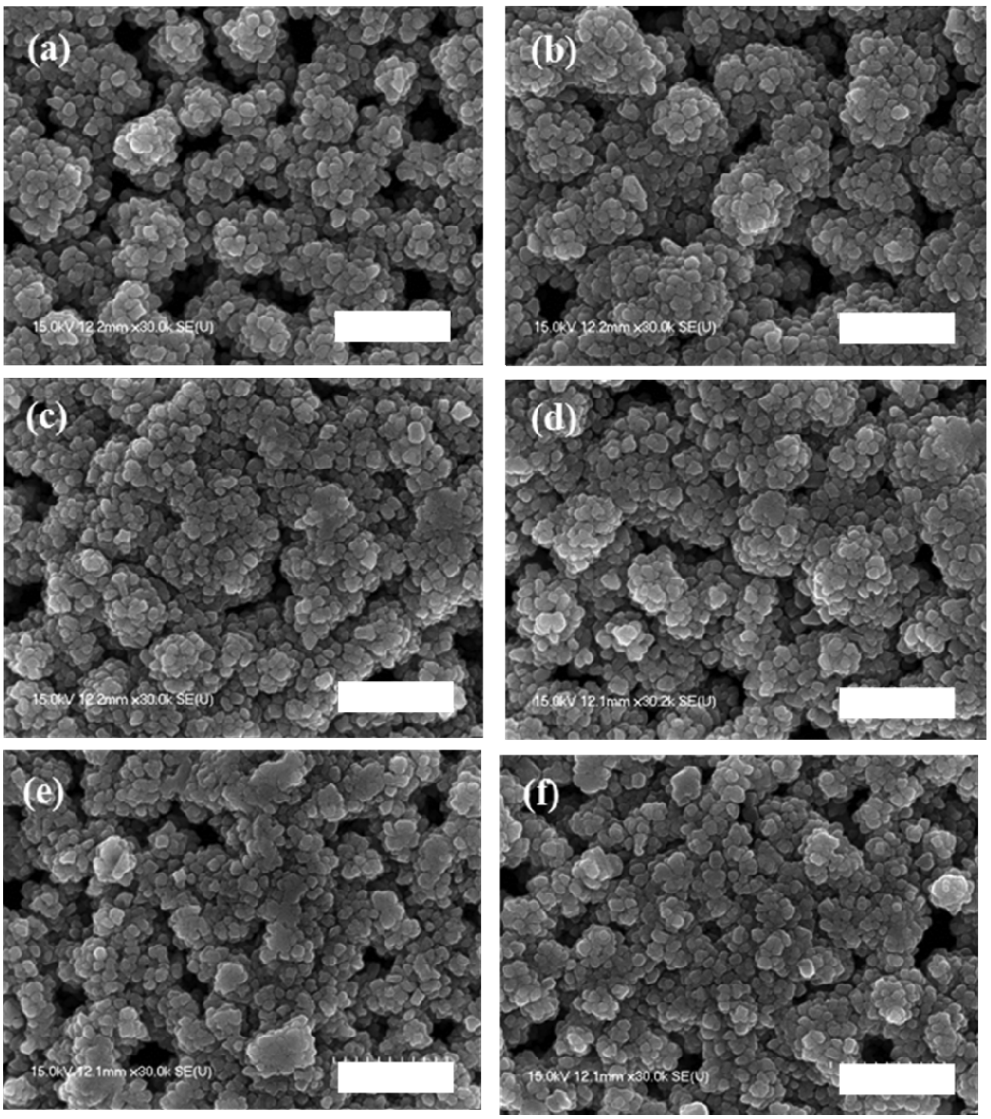

Fig. 2. SEM images of Cu seed layer with different heat-treatment temperature: (a) 25 °C, (b) 100 °C, (c) 120 °C, (d) 150 °C, (e) 180 °C, (f) 200 °C. Scale bar = 1 μm.

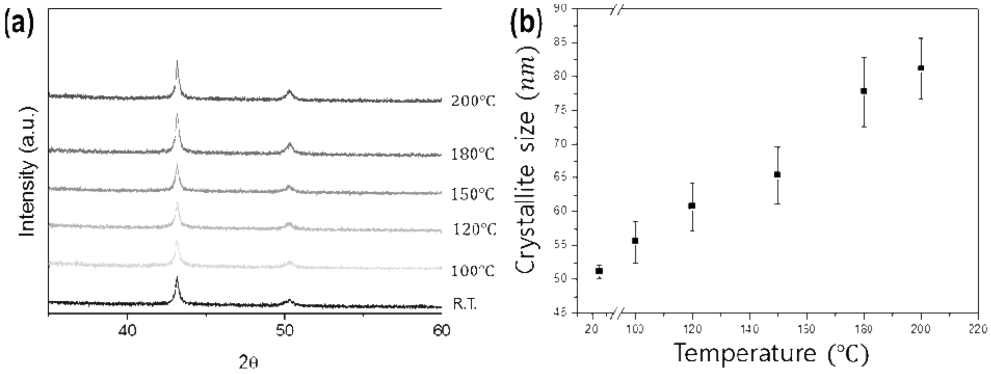

Fig. 3. (a) The XRD spectra and (b) the crystallite size of Cu seed layer with different heat treatment (25 °C, 100 °C, 120 °C, 150 °C, 180 °C and 200 °C).

처리 온도가 증가함에 따라 Cu seed layer의 거칠기가 점점 감소하였다. 이러한 현상은 SEM 결과(Fig. 2)에서 관찰할 수 있듯이 열처리 전에는 구리 결정들 사이에 검은색의 빈 공간이 많이 보이는 반면에 열처리 온도가 증

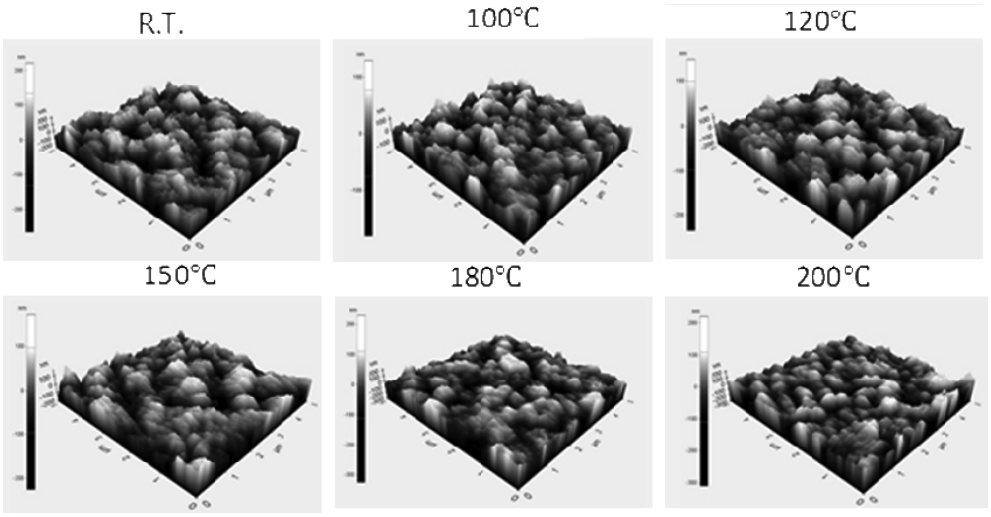

Fig. 4. Three-dimensional AFM images of Cu seed layer with different heat-treatment temperature (25 °C, 100 °C, 120 °C, 150 °C, 180 °C and 200 °C).

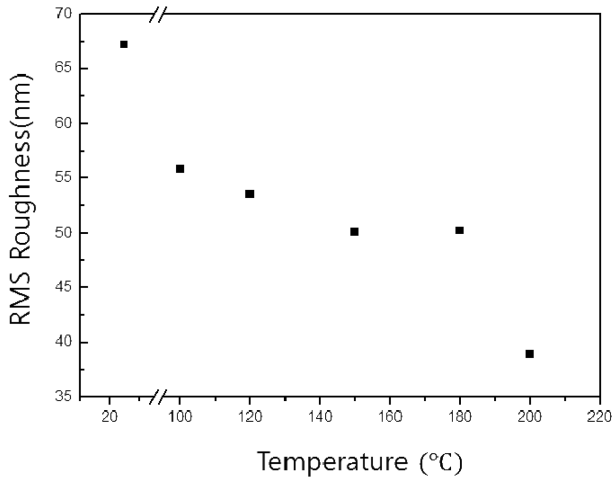

Fig. 5. RMS roughness on Cu seed layer with different heat-treatment temperature (25 °C, 100 °C, 120 °C, 150 °C, 180 °C and 200 °C).

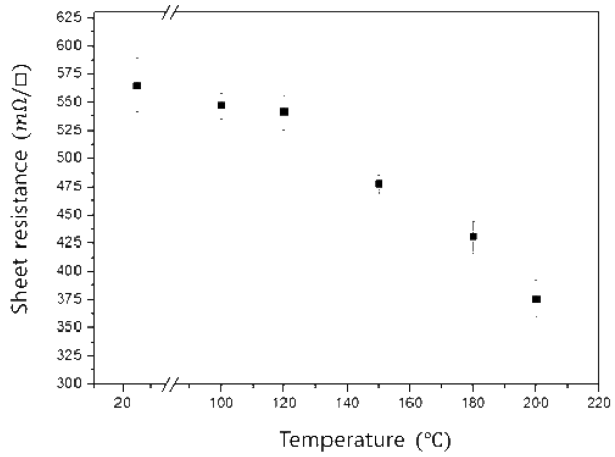

Fig. 6. Sheet resistance on Cu seed layer with different heat-treatment temperature (25 °C, 100 °C, 120 °C, 150 °C, 180 °C and 200 °C).

가할수록 빈 공간이 없어지며 구리 충진 밀도가 커진 것을 통해 표면 거칠기가 감소한 것을 유추할 수 있다. 이는 열처리를 통해 열적 에너지가 주어짐에 따라 resin 기판의 표면에너지 증가로 인해 구리 결정들의 재배치가 이루어졌을 것으로 추측된다.[6)]

Cu seed layer의 열처리 온도에 따른 면저항 결과값을 Fig. 6에 나타내었다. 온도가 증가함에 따라 면저항 값은 급격하게 감소하였으며, 이 결과는 열처리 온도가 증가함에 따라 결정 및 결정립의 사이즈가 커지며 전자의 산란이 줄어들었기 때문이다. 전해 동도금을 할 때 Cu seed layer를 통해 전류가 흐르는데 이때에 전자들은 결정립 경계를 따라 이동하게 된다. 결정립의 크기가 작을 경우는 결정립 경계의 밀도가 높기 때문에 전자 산란이 더욱 많이 발생하게 되지만,[7)] 결정 및 결정립 크기가 클 경우 결정립 경계 밀도가 감소하고 이로 인한 전자 산란이 감소하여 전기전도도가 향상된다. 또한, 박막의 경우 표면의 거칠기가 증가할수록 역시 전자 산란의 영향이 증가하여 전기저항이 증가하게 된다. 따라서 열처리 온도가 증가할수록 Cu seed layer의 표면 거칠기가 감소하여 면저항 값이 감소한 것으로 보인다. 또한 열처리 온도가 증가할수록 구리 결정의 충진 밀도가 증가하며 결정간의 빈 공간이 줄어들어 전기저항이 감소하였다.[8,9)]

3.3 Cu seed layer의 열처리 온도에 따른 전해 동도금 두께 분석

Fig. 7 은 서로 다른 온도에서 열처리 한 Cu seed layer에 전해 도금법을 이용해 Cu를 도금한 결과이다. Cu seed layer의 열처리 온도가 증가함에 따라 전해 동도금

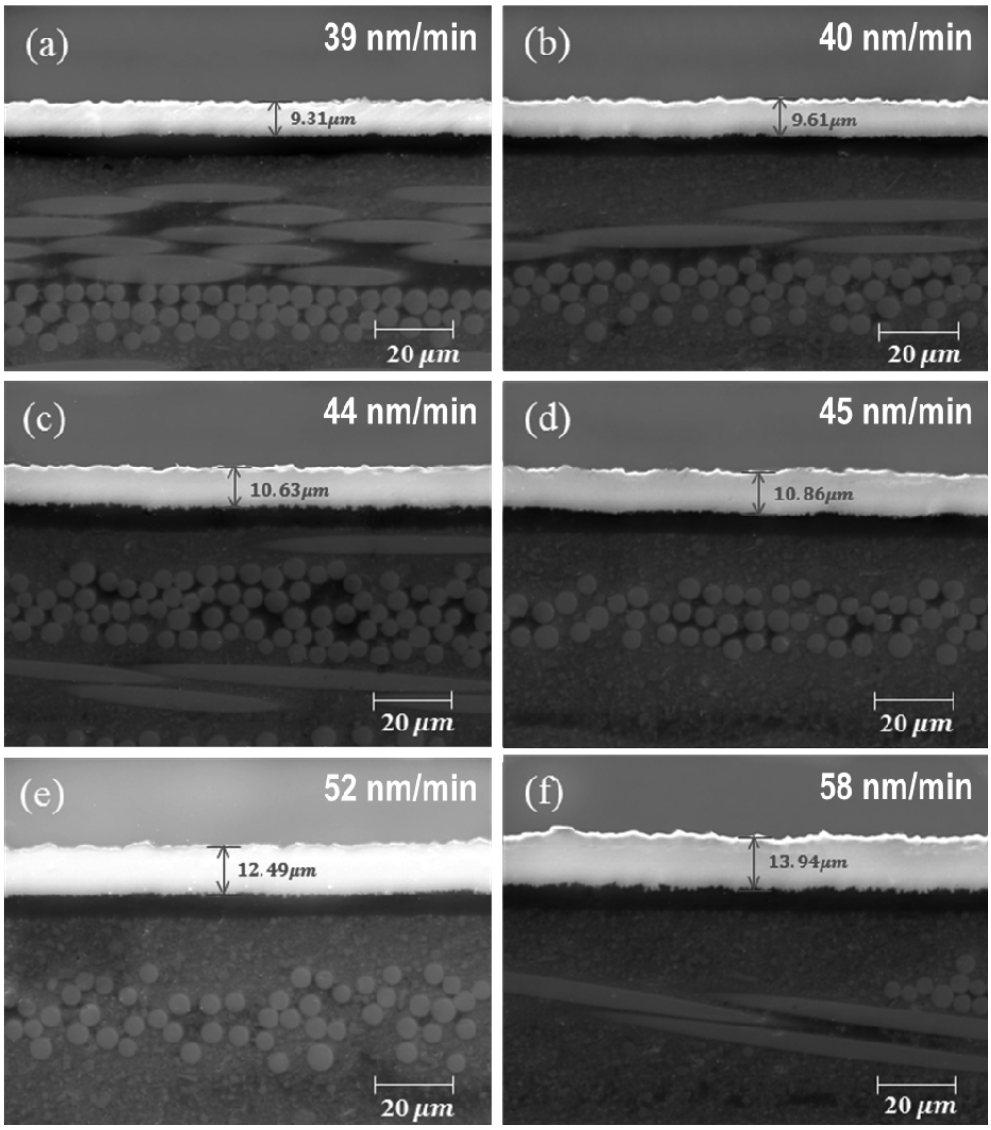

Fig. 7. The cross-sectional SEM images of electroplated Cu with different heat treatment temperatures of Cu seed layer : (a) 25 °C, (b) 100 °C, (c) 120 °C, (d) 150 °C, (e) 180 °C, (f) 200 °C. Their thicknesses are 9.31 μm, 9.61 μm, 10.63 μm, 10.86 μm, 12.49 μm and 13.94 μm, respectively.

의 두께가 증가하였다. 열처리를 하기 전 동도금의 두께는 9.31 μm 이었으나 200 °C에서 열처리를 하면 동도금의 두께는 13.94 μm 로 같은 시간 및 같은 전극 간격에서 도금을 진행하였음에도 열처리 전 대비 49 %의 도금두께가 증가하였다. 전해 도금 시 Cu seed layer의 전기전도도는 Cu 핵 형성에 중요한 역할을 한다. 전기전도도가 높은 Cu seed layer의 경우에는 낮은 Cu seed layer보다 더 빠르게 Cu 핵을 형성시키고, 이로 인해 도금 속도도 빨라진다.[10,11] 본 연구에서는 상온에 비해 200 °C에서 열처리한 Cu seed layer의 전기전도도는 150 % 증가하였으며, 이 결과는 열처리로 인해 148 % 도금속도가 증가한 결과와 일치한다. 따라서, Cu seed layer의 열처리를 통해 전기전도도를 향상 시킴으로써 전해 도금의 속도도 증가되었다.

3.4 Via fill 도금 분석

삼성전기에서 제공 받은 시료를 에칭, 전처리, 무전해 동도금 과정을 거친 뒤, 시료를 100 °C, 120 °C, 150 °C, 180 °C 및 200 °C에서 열처리를 진행한 후 via fill 도금을 진행한 시료의 측면사진은 Fig. 8와 같다. Fig. 8(a)에서 (f)까지 열처리 온도가 증가할수록 전착도금의 두께는 두꺼워진 것을 확인할 수 있다. 하지만 근본적인 문제였던 딤플 불량은 여전히 존재하였으며 그 원인으로는 다양한 변수가 예상된다. 우선 첨가제의 영향이다. 표면과 via 내부의 도금이 거의 일정한 두께로 성장한 것으로 봐서 표면은 억제하고 내부도금은 가속 시키는 SPS

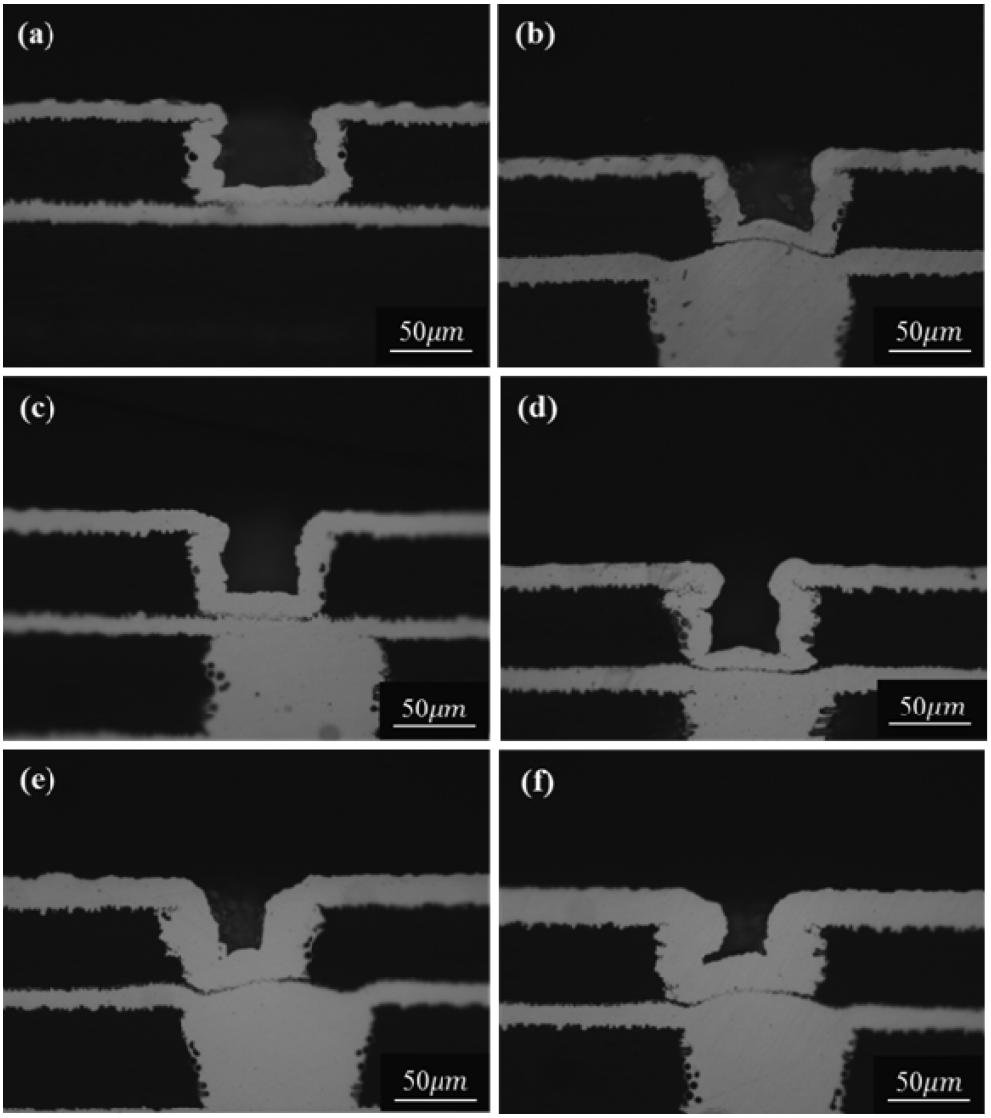

Fig. 8. The cross-sectional optical microscope images of Cu via hole with different heat treatment temperatures of Cu seed layer: (a) 25 °C, (b) 100 °C, (c) 120 °C, (d) 150 °C, (e) 180 °C, (f) 200 °C.

(bis(3-SulfoPropyl) disulfide), PEG(Polyethylene Glycol), JGB(Janus Green B)와 같은 첨가제들의 역할이 제대로 작용하지 않은 것으로 보인다.[12,13] 그리고 도금이 주변 환경에 민감하며, 본 실험에서는 무전해 동도금액 조성이 via fill 도금을 위한 것이 아닌 일반적인 표준 도금액 제조법에 의해 무전해 도금을 진행하였기 때문에 실험실내와 실제 공정상에서는 차이가 있을 수 있다. 또한 Anode 같은 경우, 실제 공정상에는 구리볼이나 불용성 양극을 사용하는 반면, 본 실험에서는 백금전극을 사용했다는 차이점이 있다. 그리고 디스미어 공정 없이 도금을 진행하여 via hole 내벽의 Cu seed layer 표면 거칠기가 거칠었다는 문제점이 발생하였다.[14] 이러한 다양한 원인으로 인해 전해동도금의 전착속도의 개선이 이루어 졌음에도 via fill 도금을 진행하였을 때 딤플 불량을 완벽히 개선하지 못한 것으로 판단된다.

4. 결 론

본 연구에서는 열처리를 통한 Cu seed layer의 전기전도도 향상을 유도하여 전해 동도금의 전착 속도를 증가시킴으로써 도금불량을 개선하고자 하였다. 무전해 동도금을 이용하여 0.6 μm 두께의 Cu seed layer을 형성한 뒤 열처리를 진행하였을 때 물성의 변화 및 전해 동도금의 전착 두께 양상을 연구한 결과 다음과 같은 결과를 얻을 수 있었다. 1) Cu seed layer의 열처리 온도가 증가할수록 Cu 결정 사이즈는 증가하였다. 2) Cu seed layer의 열처리 온도가 증가할수록 표면 거칠기는 감소하였다. 3) Cu seed layer의 열처리 온도가 증가할

수록 전기전도도는 향상되었다. 4) Cu seed layer의 열처리 온도가 증가할수록 전해 동도금의 두께는 증가하였다. 5) via fill 도금 진행에서도 Cu seed layer의 열처리 온도가 증가할수록 구리 전착속도는 증가하였다.

감사의 글

본 연구는 삼성전기(주) ACI 사업부와 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행(과제번호 : 2012R1A1B3001357) 되었으며 이에 감사드립니다.

References

1. R. Schwerz, B. Boehme, M. Roellig, K. -J. Wolter and N. Meyendorf, in Proceeding of the Electronic Components and Technology Conference (Las Vegas, NV, May 2013). p.1243.
2. H. Azimi, Microelectronic packaging substrates: future challenges, The Intel Corporation On the Web. Retrieved March 17, 2014 from http://imapsaz.org.
3. J. Fjelstad, The PC design Magazine on HDI Technology (May 2013), p. 10.
4. J. Seo, J. Lee and Y. Won (in Korean), Clean technology, **17**(2), 103 (2011).
5. X. Cui, D. A. Hutt and P. P. Conway, Thin Solid Films, **520**, 6095 (2012).
6. D. L. Smith, Thin-film Deposition: Principles and Practice, 1st ed., McGraw-Hill, NY (1996).
7. T. Sun, B. Yao and A. P. Warren, Phys. Rev. B **81**, 155454 (2010).
8. S. Nakahara, C. Y. Mak and Y. Okinaka, J. Electrochem. Soc., **140**, 533 (1993).
9. H. D. Liu, Y. P. Zhao, G. Ramanath, S. P. Murarka and G. C. Wang, Thin Solid Films, **384**, 151 (2001).
10. B. Chin, P. Ding, B. Sun, T. Chiang, D. Angelo and I. Hashim, Solid State Technol., 141 (1998).
11. J. O, S. Lee, J. -B. Kim and C. Lee, J. Kor. Phys. Soc., **39**, S472 (2001).
12. T. Kobayashi, J. Kawasaki, K. Mihara, T. Yamashita and H. Honma, J. Jpn. Inst. Electron. Pack., **3**, 324 (2000).
13. T. Kobayashi, J. Kawasaki, K. Mihara and H. Honma, Electrochim. Acta, **47**, 85 (2001).
14. W. Dow, M. Y. Yen, S. Z. Liao, Y. D. Chiu and H. C. Huang, Electrochim. Acta, **53**, 8228 (2008).